

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-233374

(43)Date of publication of application : 02.09.1998

(51)Int.Cl.

H01L 21/304

B24B 37/04

H01L 21/66

H01L 21/3205

(21)Application number : 09-034489

(71)Applicant : HITACHI LTD

(22)Date of filing : 19.02.1997

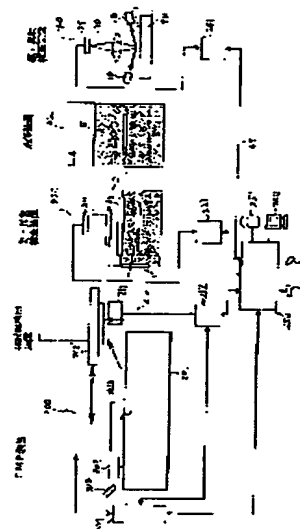
(72)Inventor :
 NOGUCHI MINORU
 HIROSE TAKESHI
 KENBO YUKIO
 NINOMIYA TAKANORI
 SERIZAWA MASAYOSHI
 TAKAHARA YOICHI
 KIMURA TAKESHI
 MITANI SHINICHIRO
 TANABE YOSHIKAZU

(54) METHOD AND SYSTEM FOR MANUFACTURING SEMICONDUCTOR DEVICES

(57)Abstract:

PROBLEM TO BE SOLVED: To enable manufacturing of semiconductor devices (semiconductor elements) with high throughput and high yield, while realizing chemical and mechanical polishing with high throughput and high accuracy.

SOLUTION: In this method, change-over from chemical and mechanical high-speed polishing to low-speed polishing can be controlled according to the thickness of a measured film to be further polished. The method includes a polishing step of chemically and mechanically polishing a film formed on a substrate to flatten the film, and an inspection step of detecting a presence of a scratch or foreign matter different from surface roughness on the polished surface flattened by the polishing step. The presence of the scratch or foreign matters on the polished surface inspected by the inspection step is fed back to the polishing step to control its polishing conditions and reduce a scratch or foreign matter on the polished surface.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
 examiner's decision of rejection or application converted
 registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
 rejection]

[Date of requesting appeal against examiner's decision of
 rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-233374

(43) 公開日 平成10年(1998) 9月2日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/304

3 2 1

H 0 1 L 21/304

3 2 1 M

B 2 4 B 37/04

B 2 4 B 37/04

D

H 0 1 L 21/66

H 0 1 L 21/66

J

Z

P

審査請求 未請求 請求項の数14 O L (全 28 頁) 最終頁に続く

(21) 出願番号

特願平9-34489

(22) 出願日

平成9年(1997) 2月19日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 野口 稔

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所生産技術研究所内

(72) 発明者 広瀬 丈師

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所生産技術研究所内

(72) 発明者 見坊 行雄

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所生産技術研究所内

(74) 代理人 弁理士 高橋 明夫 (外1名)

最終頁に続く

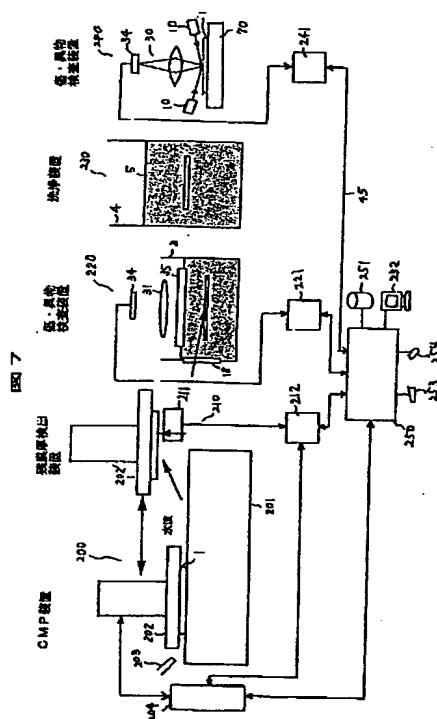
(54) 【発明の名称】 半導体装置の製造方法およびそのシステム

(57) 【要約】

(修正有)

【課題】 高スループットで、且つ高精度の化学的、且つ機械的な研磨を実現して半導体装置(半導体素子)を高スループットで、しかも高歩留まりで製造できるようにした半導体装置の製造方法を提供する。

【解決手段】 測定された被研磨材の残膜厚に応じて化学的、且つ機械的な高速研磨から低速研磨に切り換え制御することを特徴とする。また、基板上に形成された被研磨材に対して化学的、且つ機械的な研磨を施して平坦化する研磨工程と、該研磨工程によって平坦化された研磨面に発生する面荒れと区別して傷や異物についての発生状態を検査する検査工程とを有し、該検査工程で検査された研磨面における傷や異物についての発生状態を前記研磨工程にフィードバックして研磨条件を制御して研磨面に発生する傷や異物を低減することを特徴とする半導体装置の製造方法である。



【特許請求の範囲】

【請求項1】基板上に形成された被研磨材に対して化学的、且つ機械的な研磨を施して平坦化して半導体装置を製造する半導体装置の製造方法において、前記被研磨材に対して化学的、且つ機械的な研磨を施す際該被研磨材の残膜厚を測定し、この測定された被研磨材の残膜厚に応じて前記化学的、且つ機械的な研磨を制御することを特徴とする半導体装置の製造方法。

【請求項2】半導体基板上に形成された被研磨材に対して化学的、且つ機械的な研磨を施して平坦化して半導体装置を製造する半導体装置の製造方法において、前記被研磨材に対して化学的、且つ機械的な研磨を施す際該被研磨材の残膜厚を測定し、この測定された被研磨材の残膜厚に応じて前記化学的、且つ機械的な高速研磨から低速研磨に切り換え制御することを特徴とする半導体装置の製造方法。

【請求項3】半導体基板上に薄い研磨ストッパ層を形成する研磨ストッパ層形成工程と、該研磨ストッパ層も含めて前記半導体基板に対して素子分離用の凹部を掘込むエッチング工程と、該エッチング工程によって掘込まれた凹部を絶縁膜で埋めるように成膜する絶縁膜成膜工程と、該絶縁膜成膜工程で成膜された絶縁膜に対して化学的、且つ機械的な研磨を施して平坦化して前記研磨ストッパ層の表面を露出する研磨工程と、該研磨工程で露出した研磨ストッパ層を取り除く研磨ストッパ除去工程と、該研磨ストッパ除去工程で研磨ストッパ層が取り除かれた半導体基板の表面を酸化して酸化層を形成する酸化工程とを有し、前記半導体基板に対して素子分離構造を形成することを特徴とする半導体装置の製造方法。

【請求項4】基板上に絶縁膜パターンを形成する絶縁膜パターン形成工程と、該絶縁膜パターン形成工程で形成された絶縁膜パターンの隙間に配線用の金属材料を埋め込むように成膜する成膜工程と、該成膜工程で成膜された金属材料に対して化学的、且つ機械的な研磨を施して平坦化する研磨工程とを有し、前記絶縁膜パターンの隙間に配線パターンを形成することを特徴とする半導体装置の製造方法。

【請求項5】基板上に形成された被研磨材に対して化学的、且つ機械的な研磨を施して平坦化する研磨工程と、該研磨工程によって平坦化された研磨面に発生する面荒れまたは欠陥についての発生状態を検査する検査工程とを有し、該検査工程で検査された研磨面における面荒れまたは欠陥についての発生状態を前記研磨工程にフィードバックして研磨条件を制御して適正化をはかることを特徴とする半導体装置の製造方法。

【請求項6】基板上に形成された被研磨材に対して化学的、且つ機械的な研磨を施して平坦化する研磨工程と、該研磨工程によって平坦化された研磨面を洗浄する洗浄工程と、該洗浄工程によって洗浄された研磨面に発生する面荒れまたは欠陥についての発生状態を検査する検査

工程とを有し、該検査工程で検査された研磨面における面荒れまたは欠陥についての発生状態を前記研磨工程にフィードバックして研磨条件を制御して適正化をはかることを特徴とする半導体装置の製造方法。

【請求項7】基板上に形成された被研磨材に対して化学的、且つ機械的な研磨を施して平坦化する研磨工程と、該研磨工程によって平坦化された研磨面を洗浄する洗浄工程と、該洗浄工程の前と後とにおいて研磨面に発生する面荒れまたは欠陥についての発生状態を検査する検査工程とを有し、該検査工程で検査された研磨面における面荒れまたは欠陥についての発生状態を前記研磨工程にフィードバックして研磨条件を制御して適正化をはかることを特徴とする半導体装置の製造方法。

【請求項8】基板上に形成された被研磨材に対して化学的、且つ機械的な研磨を施して平坦化する研磨工程と、該研磨工程によって平坦化された研磨面に発生する面荒れと区別して傷や異物についての発生状態を検査する検査工程とを有し、該検査工程で検査された研磨面における傷や異物についての発生状態を前記研磨工程にフィードバックして研磨条件を制御して研磨面に発生する傷や異物を低減することを特徴とする半導体装置の製造方法。

【請求項9】製造ラインの所定の製造工程において製造された複数の半導体基板に亘っての半導体基板上の各半導体装置毎の欠陥の発生状態を検査する欠陥検査工程と、前記製造ラインによって製造された複数の半導体基板に亘っての半導体基板から得られる各半導体装置についての電気的特性検査を行なって良品または不良品の判定を行なう電気的特性検査工程と、前記欠陥検査工程で検査された複数の半導体基板上の各半導体装置毎の異物の発生状態と前記電気的特性検査工程で判定された複数の半導体基板に亘っての各半導体装置の良品または不良品の結果との相関関係に基いて、不良の発生原因が欠陥によるものであるか否かについて究明する不良発生原因究明工程とを有し、該不良発生原因究明工程で究明された不良発生原因について対策することを特徴とする半導体装置の製造方法。

【請求項10】製造ラインの所定の製造工程において製造された複数の半導体基板に亘っての半導体基板上の各半導体装置毎の欠陥の発生状態を検査する欠陥検査工程と、前記製造ラインによって製造された複数の半導体基板に亘っての半導体基板から得られる各半導体装置についての電気的特性検査を行なって良品または不良品の判定を行なって良品率または不良品率を算出する電気的特性検査工程と、前記欠陥検査工程で検査された複数の半導体基板上の各半導体装置毎の異物の発生状態と前記電気的特性検査工程で算出された複数の半導体基板に亘っての各半導体装置の良品率または不良品率との相関関係に基いて、不良の発生原因が欠陥によるものであるか否かについて究明する不良発生原因究明工程とを有し、該

不良発生原因究明工程で究明された不良発生原因について対策することを特徴とする半導体装置の製造方法。

【請求項11】製造ラインの所定の製造工程において製造された複数の半導体基板に亘っての半導体基板上の各半導体装置毎の欠陥の発生状態を検査する欠陥検査工程と、製造ラインによって製造された複数の半導体基板に亘っての半導体基板から得られる各半導体装置についての電気的特性検査を行なって良品または不良品の判定を行なう電気的特性検査工程と、前記前記電気的特性検査工程で判定された複数の半導体基板に亘っての各半導体装置の良品または不良品の結果と前記欠陥検査工程で検査された複数の半導体基板上の各半導体装置毎の欠陥の発生状態との相関関係に基いて、前記欠陥検査工程における不良品となる欠陥の発生状態を検査できているか否かを評価し、この評価結果を前記欠陥検査工程にフィードバックする欠陥検査評価工程とを有することを特徴とする半導体装置の製造方法。

【請求項12】製造ラインの所定の製造装置において製造された複数の半導体基板に亘っての半導体基板上の各半導体装置毎の欠陥の発生状態を検査する欠陥検査手段と、前記製造ラインによって製造された複数の半導体基板に亘っての半導体基板から得られる各半導体装置についての電気的特性検査を行なって良品または不良品の判定を行なう電気的特性検査手段と、前記欠陥検査手段で検査された複数の半導体基板上の各半導体装置毎の異物の発生状態と前記電気的特性検査手段で判定された複数の半導体基板に亘っての各半導体装置の良品または不良品の結果との相関関係に基いて、不良の発生原因が欠陥によるものであるか否かについて究明する不良発生原因究明手段とを有し、該不良発生原因究明手段で究明された不良発生原因を所定の製造装置にフィードバックすることを特徴とする半導体装置の製造システム。

【請求項13】製造ラインの所定の製造装置において製造された複数の半導体基板に亘っての半導体基板上の各半導体装置毎の欠陥の発生状態を検査する欠陥検査手段と、前記製造ラインによって製造された複数の半導体基板に亘っての半導体基板から得られる各半導体装置についての電気的特性検査を行なって良品または不良品の判定を行なって良品率または不良品率を算出する電気的特性検査手段と、前記欠陥検査手段で検査された複数の半導体基板上の各半導体装置毎の異物の発生状態と前記電気的特性検査手段で算出された複数の半導体基板に亘っての各半導体装置の良品率または不良品率との相関関係に基いて、不良の発生原因が欠陥によるものであるか否かについて究明する不良発生原因究明手段とを有し、該不良発生原因究明手段で究明された不良発生原因を所定の製造装置にフィードバックすることを特徴とする半導体装置の製造システム。

【請求項14】製造ラインの所定の製造装置において製造された複数の半導体基板に亘っての半導体基板上の各

半導体装置毎の欠陥の発生状態を検査する欠陥検査手段と、製造ラインによって製造された複数の半導体基板に亘っての半導体基板から得られる各半導体装置についての電気的特性検査を行なって良品または不良品の判定を行なう電気的特性検査手段と、前記前記電気的特性検査手段で判定された複数の半導体基板に亘っての各半導体装置の良品または不良品の結果と前記欠陥検査工程で検査された複数の半導体基板上の各半導体装置毎の欠陥の発生状態との相関関係に基いて、前記欠陥検査手段における不良品となる欠陥の発生状態を検査できているか否かを評価し、この評価結果を前記欠陥検査手段にフィードバックする欠陥検査評価手段とを有することを特徴とする半導体装置の製造システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は製造ラインにより基板上に成膜、露光、エッチングを繰り返し、半導体装置を製造する方法及びシステムに関し、特に成膜後の表面を化学的、且つ機械的な研磨により平坦化する工程および装置を有する半導体装置の製造方法及びそのシステムに関する。

【0002】

【従来の技術】半導体装置は、基板上に成膜、露光、エッチングを繰り返し、基板上に半導体装置を製造する。この際、半導体装置はその高密度化を達成するためにより微細なパターンを用いて製造される。また、より複雑な回路を実現するために、多層の配線パターンを用いるため段差が生じ、段差上にパターンを形成する際に段差がパターン欠陥の原因となっていた。そこで、従来より、段差が生じたパターン上に平坦な膜を形成し、この平坦膜上に次のパターンを形成するようにしている。

【0003】上記、平坦化プロセスでは、平坦化の際に残膜厚さを設計値通りに製造することが極めて困難であった。そこで、特許公開平成8-17768号公報には、膜厚測定装置を研磨装置に装着し、研磨後、装着した膜厚測定装置により残膜厚を測定し、基準値に満たない場合、再研磨する構成の製造方法が開示されている。さらに、特許公開平成7-283178号公報、特許公開平成7-285050号公報、特許公開平成8-51090号公報にも同様の平坦化時の終点検出法が開示されている。

【0004】

【発明が解決しようとする課題】平坦化プロセスでは、被平坦化膜の下部に配線パターン等のパターンが形成されており、このパターンの影響について、上記従来技術では十分考慮されていなかったため、十分な感度で、高精度の残膜測定ができなかった。

【0005】本発明の目的は、上記従来技術の課題を解決すべく、平坦化すべき被研磨材の下部に存在するパターンの影響を低減して高精度の残膜厚測定を可能にし、

高精度の化学的、且つ機械的な研磨を実現して半導体装置（半導体素子）を高歩留まりで製造できるようにした半導体装置の製造方法を提供することにある。また本発明の他の目的は、高スループットで、且つ高精度の化学的、且つ機械的な研磨を実現して半導体装置（半導体素子）を高スループットで、しかも高歩留まりで製造できるようにした半導体装置の製造方法を提供することにある。また本発明の他の目的は、平坦化すべき被研磨材に対して化学的、且つ機械的な研磨を施した際発生する傷や異物等の欠陥および面荒れを低減して半導体装置（半導体素子）を高歩留まりで製造できるようにした半導体装置の製造方法を提供することにある。

【0006】また本発明の他の目的は、化学的、且つ機械的な研磨を用いて半導体基板上に素子分離構造を形成できるようにした半導体装置の製造方法を提供することにある。また本発明の他の目的は、化学的、且つ機械的な研磨を用いて基板上にエッチングが難しい金属材料で配線パターンを形成できるようにした半導体装置の製造方法を提供することにある。また本発明の他の目的は、不良の発生原因が傷や異物等の欠陥によるものであるか否かについて究明できるようにしてその対策を可能にした半導体装置の製造方法およびそのシステムを提供することにある。また本発明の他の目的は、欠陥検査工程またはその手段における欠陥検査の信頼度を向上して高歩留まりで半導体装置を製造できるようにした半導体装置の製造方法およびそのシステムを提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成するために、本発明は、基板上に形成された被研磨材に対して化学的、且つ機械的な研磨を施して平坦化して半導体装置を製造する半導体装置の製造方法において、前記被研磨材に対して化学的、且つ機械的な研磨を施す際該被研磨材の残膜厚を測定し、この測定された被研磨材の残膜厚に応じて前記化学的、且つ機械的な研磨を制御することを特徴とする半導体装置の製造方法である。また本発明は、半導体基板上に形成された被研磨材に対して化学的、且つ機械的な研磨を施して平坦化して半導体装置を製造する半導体装置の製造方法において、前記被研磨材に対して化学的、且つ機械的な研磨を施す際該被研磨材の残膜厚を測定し、この測定された被研磨材の残膜厚に応じて前記化学的、且つ機械的な高速研磨から低速研磨に切り換え制御することを特徴とする半導体装置の製造方法である。また本発明は、前記半導体装置の製造方法において、被研磨材（被平坦化膜）から反射する光の分光強度分布から被研磨材の残膜厚を測定することを特徴とする。また本発明は、前記半導体装置の製造方法において、被研磨材（被平坦化膜）から反射する光の分光強度分布からこの特徴的ピークの波長の変動から被研磨材の残膜厚を測定することを特徴とする。また本発明は、前記半導体装置の製造方法において、前記被研磨材と同

様に透明基板を研磨させ、該透明基板の研磨面とその反対側の面とから反射する干渉光強度変化から、前記被研磨材の研磨速度を計測することを特徴とする。また本発明は、前記半導体装置の製造方法において、前記被研磨材と同様に透明基板を研磨させ、該透明基板の研磨面から生じる干渉縞の移動量から前記被研磨材の研磨速度を計測することを特徴とする。

【0008】また本発明は、半導体基板上に薄い研磨ストッパ層を形成する研磨ストッパ層形成工程と、該研磨ストッパ層も含めて前記半導体基板に対して素子分離用の凹部を掘込むエッチング工程と、該エッチング工程によって掘込まれた凹部を絶縁膜で埋めるように成膜する絶縁膜成膜工程と、該絶縁膜成膜工程で成膜された絶縁膜に対して化学的、且つ機械的な研磨を施して平坦化して前記研磨ストッパ層の表面を露出する研磨工程と、該研磨工程で露出した研磨ストッパ層を取り除く研磨ストッパ除去工程と、該研磨ストッパ除去工程で研磨ストッパ層が取り除かれた半導体基板の表面を酸化して酸化層を形成する酸化工程とを有し、前記半導体基板に対して素子分離構造を形成することを特徴とする半導体装置の製造方法である。また本発明は、基板上に絶縁膜パターンを形成する絶縁膜パターン形成工程と、該絶縁膜パターン形成工程で形成された絶縁膜パターンの隙間に配線用の金属材料を埋め込むように成膜する成膜工程と、該成膜工程で成膜された金属材料に対して化学的、且つ機械的な研磨を施して平坦化する研磨工程とを有し、前記絶縁膜パターンの隙間に配線パターンを形成することを特徴とする半導体装置の製造方法である。また本発明は、基板上に形成された被研磨材に対して化学的、且つ機械的な研磨を施して平坦化する研磨工程と、該研磨工程によって平坦化された研磨面に発生する面荒れまたは欠陥についての発生状態を検査する検査工程とを有し、該検査工程で検査された研磨面における面荒れまたは欠陥についての発生状態を前記研磨工程にフィードバックして研磨条件を制御して適正化をはかることを特徴とする半導体装置の製造方法である。

【0009】また本発明は、基板上に形成された被研磨材に対して化学的、且つ機械的な研磨を施して平坦化する研磨工程と、該研磨工程によって平坦化された研磨面を洗浄する洗浄工程と、該洗浄工程によって洗浄された研磨面に発生する面荒れまたは欠陥についての発生状態を検査する検査工程とを有し、該検査工程で検査された研磨面における面荒れまたは欠陥についての発生状態を前記研磨工程にフィードバックして研磨条件を制御して適正化をはかることを特徴とする半導体装置の製造方法である。また本発明は、基板上に形成された被研磨材に対して化学的、且つ機械的な研磨を施して平坦化する研磨工程と、該研磨工程によって平坦化された研磨面を洗浄する洗浄工程と、該洗浄工程の前と後とにおいて研磨面に発生する面荒れまたは欠陥についての発生状態を検

査する検査工程とを有し、該検査工程で検査された研磨面における面荒れまたは欠陥についての発生状態を前記研磨工程にフィードバックして研磨条件を制御して適正化をはかることを特徴とする半導体装置の製造方法である。また本発明は、基板上に形成された被研磨材に対して化学的、且つ機械的な研磨を施して平坦化する研磨工程と、該研磨工程によって平坦化された研磨面に発生する面荒れと区別して傷や異物についての発生状態を検査する検査工程とを有し、該検査工程で検査された研磨面における傷や異物についての発生状態を前記研磨工程にフィードバックして研磨条件を制御して研磨面に発生する傷や異物を低減することを特徴とする半導体装置の製造方法である。

【0010】また本発明は、製造ラインの所定の製造工程において製造された複数の半導体基板に亘っての（連続してなくてもよい。即ちロット単位で抜き取られたものでも良い。）半導体基板上的各半導体装置毎の欠陥の発生状態を検査する欠陥検査工程と、前記製造ラインによって製造された複数の半導体基板に亘っての半導体基板から得られる各半導体装置についての電気的特性検査を行なって良品または不良品の判定を行なう電気的特性検査工程と、前記欠陥検査工程で検査された複数の半導体基板上的各半導体装置毎の異物の発生状態と前記電気的特性検査工程で判定された複数の半導体基板に亘っての各半導体装置の良品または不良品の結果との相関関係に基いて、不良の発生原因が欠陥によるものであるか否かについて究明する不良発生原因究明工程とを有し、該不良発生原因究明工程で究明された不良発生原因について対策することを特徴とする半導体装置の製造方法である。また本発明は、製造ラインの所定の製造工程において製造された複数の半導体基板に亘っての（連続してなくてもよい。即ちロット単位で抜き取られたものでも良い。）半導体基板上的各半導体装置毎の欠陥の発生状態を検査する欠陥検査工程と、前記製造ラインによって製造された複数の半導体基板に亘っての半導体基板から得られる各半導体装置についての電気的特性検査を行なって良品または不良品の判定を行なって良品率または不良品率を算出する電気的特性検査工程と、前記欠陥検査工程で検査された複数の半導体基板上的各半導体装置毎の異物の発生状態と前記電気的特性検査工程で算出された複数の半導体基板に亘っての各半導体装置の良品率または不良品率との相関関係に基いて、不良の発生原因が欠陥によるものであるか否かについて究明する不良発生原因究明工程とを有し、該不良発生原因究明工程で究明された不良発生原因について対策することを特徴とする半導体装置の製造方法である。

【0011】また本発明は、製造ラインの所定の製造工程において製造された複数の半導体基板に亘っての（連続してなくてもよい。即ちロット単位で抜き取られたものでも良い。）半導体基板上的各半導体装置毎の欠陥

の発生状態を検査する欠陥検査工程と、製造ラインによって製造された複数の半導体基板に亘っての半導体基板から得られる各半導体装置についての電気的特性検査を行なって良品または不良品の判定を行なう電気的特性検査工程と、前記前記電気的特性検査工程で判定された複数の半導体基板に亘っての各半導体装置の良品または不良品の結果と前記欠陥検査工程で検査された複数の半導体基板上的各半導体装置毎の欠陥の発生状態との相関関係に基いて、前記欠陥検査工程における不良品となる欠陥の発生状態を検査できているか否かを評価し、この評価結果を前記欠陥検査工程にフィードバックする欠陥検査評価工程とを有することを特徴とする半導体装置の製造方法である。また本発明は、製造ラインの所定の製造装置において製造された複数の半導体基板に亘っての半導体基板上的各半導体装置毎の欠陥の発生状態を検査する欠陥検査手段と、前記製造ラインによって製造された複数の半導体基板に亘っての半導体基板から得られる各半導体装置についての電気的特性検査を行なって良品または不良品の判定を行なう電気的特性検査手段と、前記欠陥検査手段で検査された複数の半導体基板上的各半導体装置毎の異物の発生状態と前記電気的特性検査手段で判定された複数の半導体基板に亘っての各半導体装置の良品または不良品の結果との相関関係に基いて、不良の発生原因が欠陥によるものであるか否かについて究明する不良発生原因究明手段とを有し、該不良発生原因究明手段で究明された不良発生原因を所定の製造装置にフィードバックすることを特徴とする半導体装置の製造システムである。

【0012】また本発明は、製造ラインの所定の製造装置において製造された複数の半導体基板に亘っての半導体基板上的各半導体装置毎の欠陥の発生状態を検査する欠陥検査手段と、前記製造ラインによって製造された複数の半導体基板に亘っての半導体基板から得られる各半導体装置についての電気的特性検査を行なって良品または不良品の判定を行なって良品率または不良品率を算出する電気的特性検査手段と、前記欠陥検査手段で検査された複数の半導体基板上的各半導体装置毎の異物の発生状態と前記電気的特性検査手段で算出された複数の半導体基板に亘っての各半導体装置の良品率または不良品率との相関関係に基いて、不良の発生原因が欠陥によるものであるか否かについて究明する不良発生原因究明手段とを有し、該不良発生原因究明手段で究明された不良発生原因を所定の製造装置にフィードバックすることを特徴とする半導体装置の製造システムである。また本発明は、製造ラインの所定の製造装置において製造された複数の半導体基板に亘っての半導体基板上的各半導体装置毎の欠陥の発生状態を検査する欠陥検査手段と、製造ラインによって製造された複数の半導体基板に亘っての半導体基板から得られる各半導体装置についての電気的特性検査を行なって良品または不良品の判定を行なう電気

的特性検査手段と、前記前記電気的特性検査手段で判定された複数の半導体基板に亘っての各半導体装置の良品または不良品の結果と前記欠陥検査工程で検査された複数の半導体基板上の各半導体装置毎の欠陥の発生状態との相関関係に基いて、前記欠陥検査手段における不良品となる欠陥の発生状態を検査できているか否かを評価し、この評価結果を前記欠陥検査手段にフィードバックする欠陥検査評価手段とを有することを特徴とする半導体装置の製造システムである。

【0013】また本発明は、任意の製造工程において基板上の複数の半導体装置（半導体素子）上に付着した異物等の欠陥を検出し、該半導体装置の電気的検査結果から得られる異物等の欠陥が検出された半導体装置の不良率（良品率）と異物等の欠陥が検出されなかった半導体装置の不良率（良品率）とを比較し、その比較結果を欠陥検査装置にフィードバックして検出感度を調整（制御）することを特徴とする半導体装置の製造方法である。

【0014】以上説明したように、前記構成によれば、平坦化すべき被研磨材の下部に存在するパターンの影響を低減して高精度の残膜厚測定を可能にし、高精度の化学的、且つ機械的な研磨を実現して半導体装置（半導体素子）を高歩留まりで製造することができる。また前記構成によれば、高スループットで、且つ高精度の化学的、且つ機械的な研磨を実現して半導体装置（半導体素子）を高スループットで、しかも高歩留まりで製造することができる。また前記構成によれば、平坦化すべき被研磨材に対して化学的、且つ機械的な研磨を施した際発生する傷や異物等の欠陥および面荒れを低減して半導体装置（半導体素子）を高歩留まりで製造することができる。また前記構成によれば、化学的、且つ機械的な研磨を用いて半導体基板上に素子分離構造を欠陥を生じることなく形成することができる。また前記構成によれば、化学的、且つ機械的な研磨を用いて基板上にエッチングが難しい金属材料で配線パターンを欠陥を生じることなく形成することができる。また前記構成によれば、不良の発生原因が傷や異物等の欠陥によるものであるか否かについて究明できるようにしてその対策を施すことができる。また前記構成によれば、欠陥検査工程またはその手段における欠陥検査の信頼度を向上して高歩留まりで半導体装置を製造することができる。

【0015】

【発明の実施の形態】本発明に係る実施の形態を図面を用いて説明する。本発明に係るLSI等からなる半導体装置（半導体素子）は、基板上に成膜、露光、エッチングを繰り返して製造される。この際、例えば、図1に示す半導体装置（半導体素子）300は、高密度化を実現するためにより微細なパターンを用いて製造される。更に、より複雑な回路を実現するために、多層の配線パターン（第1層配線パターン305、第2層配線パターン

301、第3層配線パターン302等）が用いる必要が生じ、そのため段差が生じ、例えば第2層の配線パターン301上に層間絶縁膜303を介して第3層配線パターン302を形成しても、層間絶縁層303の表面がその下の配線パターン301の段差の影響を受けることになる。そこで、層間絶縁層303の表面を鎖線で示すように平坦にするために、研磨する必要がある。なお、304は第3層配線パターンを被覆する層間絶縁膜または保護膜である。即ち、第3層配線パターン302の上に第4層の配線パターンが形成される場合もある。305は第1層の配線パターンである。306はゲート配線である。327は絶縁材からなる素子分離構造を示す。328はMOS構造等の能動素子部を示す。

【0016】この他、微細LSI等の半導体装置（半導体素子）を製造する際、ダマシンにおいて成膜された金属を平坦に研磨する必要もある。即ち、微細LSIでは、電気的配線層が、微細になるため、線の電気抵抗が大きくなり、LSIとして機能しなくなっている。そこで、配線の電気抵抗を小さくする方法が検討されている。その一つが、配線抵抗の小さい材料である銅、銀、金、白金等の金属を用いる方法である。ところが、これらの金属は、エッチング耐性が高すぎてレジストが無い等の理由により、エッチングにより配線パターンを形成するのが極めて難しい材料である。そこで、エッチングにより配線パターンを形成するのが極めて難しい材料である配線抵抗の小さい材料である銅、銀、金、白金等の金属材料からなる配線パターンを、例えばダマシンという方法を用いて製造することになる。図3を用いてダマシンについて説明する。この方法は、まず図3

(a)～(c)に示すように、配線パターンの絶縁膜パターン（配線のネガパターン）315を基板311上に形成し、次に図3(d)に示すようにその絶縁膜パターン315の隙間に配線パターン用の金属材料をスパッタやめっき等によって埋め込み成膜し、その後図3(e)に示すように絶縁膜パターン315の高さまで研磨することにより、金属配線パターン317を形成するものである。このダマシンの目的は、エッチングの難しい材料（配線抵抗の小さい材料である銅、銀、金、白金等の金属材料）で配線パターンを作成することにある。具体的には、図3(a)に示すように、 SiO_2 系膜形成工程、およびレジスト塗布工程によって、基板311上に絶縁膜（ SiO_2 系膜）312を形成し、その上にレジスト313を塗布する。次に図3(b)に示すように、露光・現像工程によって、絶縁膜（ SiO_2 系膜）312上にレジストパターン314を形成する。次に図3(c)に示すようにエッチング工程、およびレジスト除去工程によって、絶縁膜（ SiO_2 系膜）312に対してレジストパターン314の通りにエッチングを施して絶縁膜パターン（ SiO_2 系膜パターン）315を形成し、その上のレジストパターン314を除去する。次に



図3 (d) に示すように金属材料成膜工程により、絶縁膜パターン315の隙間に配線パターン用の金属材料

(配線抵抗の小さい材料である銅、銀、金、白金等の金属材料) 316を埋め込み成膜する。次に図3 (e) に示すように研磨工程により、絶縁膜パターン315の高さまで研磨することにより、金属配線パターン317を形成する。このように、基板311上に金属配線パターン317を形成するために、絶縁膜パターン315の隙間に埋め込み成膜された配線パターン用の金属材料(配線抵抗の小さい材料である銅、銀、金、白金等の金属材料) 316を絶縁膜パターン315の高さまで研磨する必要が生じることになる。

【0017】また微細LSI等の半導体装置(半導体素子)において、MOS構造のトランジスタ等の能動素子部328を分離するための素子分離構造327を製造するために、 SiO_2 系の酸化絶縁膜を研磨して平坦化する必要がある。次にMOS構造のトランジスタ等の能動素子部328を分離するための素子分離構造327を製造する方法について、図5を用いて説明する。図5

(a) に示すように、 Si_3N_4 層形成工程、およびレジスト塗布工程により、窒素雰囲気中にしてSi基板321上に0.1~0.2 μm 程度の薄膜層からなる耐熱衝撃性に優れた Si_3N_4 層322を形成し、その上にレジスト323を塗布する。次に図5 (b) に示すように露光・現像工程により、レジストパターン324を形成する。次に図5 (c) に示すようにエッチング工程、およびレジスト除去工程によって、 Si_3N_4 膜322およびSi基板321に対してレジストパターン324の通りにエッチングを施して素子分離用の溝325を形成し、その上のレジストパターン324を除去する。次に図5 (d) に示すように SiO_2 系のデポ膜成膜工程により、素子分離用の溝325を埋め込むようにCVD等により SiO_2 系のデポ膜326を成膜する。次に図5

(e) に示すように研磨工程により、成膜された SiO_2 系のデポ膜326を耐熱衝撃性に優れた Si_3N_4 層322の高さまで研磨する。このように耐熱衝撃性に優れた Si_3N_4 層322があるため、研磨して平坦化する際、直接Si基板321に接触することを防止することができる。次に図5 (f) に示すように Si_3N_4 層除去工程により、 Si_3N_4 層322を除去する。このように Si_3N_4 層322は、研磨に耐え、その後Si基板321から除去できるものであれば良い。次に図5 (g) に示す表面酸化工程により、図5 (f) において露出したSi基板の表面を酸化させることによって素子328の間を SiO_2 系の絶縁膜327で分離することが可能となる。即ち、能動素子部328の間を SiO_2 系の絶縁膜で分離した素子分離構造327を得ることが出来る。

【0018】以上説明したように、微細LSI等の半導体装置(半導体素子)を製造するために、化学的、且つ機械的な研磨による平坦化プロセスが必要となる。そし

てこの研磨による平坦化プロセスにおいて、残膜厚を正確に許容値内にとすると共に、研磨後洗浄した際、その表面に異物や傷等が存在しないようにすることが必要となる。しかしながら、被平坦化膜が層間絶縁膜303の場合には、光に対して透明であり、しかも下部に配線パターン301が存在することになる。また研磨後洗浄するまでは、研磨された半導体基板を液中に保管することによって、大気にさらすことなく研磨砥粒が研磨面に強固に付着するのを防止するためである。この場合でも、残膜厚の計測および異物や傷等の検査を高精度に実現する必要がある。そこで、本発明では、この下地のパターンの影響を低減し、高精度な残膜厚計測を実現することにある。具体的には、予め良品とされるパターンが存在するウエハで残膜厚の判っているパターンでの膜厚測定波形を検出し、その結果と測定対象からの検出結果を比較する事により、上記下地パターンの影響は除去され精度の高い残膜厚さが計測される。

【0019】また、精度の高い残膜厚計測は、パターン及び平坦化膜が形成された半導体基板(ウエハ)上に白色光を照射し、該半導体基板(ウエハ)上のパターンで、回折分光された光強度分布を検出する事で達成される。また、このような化学的、且つ機械的な研磨による平坦化法を、図1に示すように配線工程等に適用した場合において、図2 (a) (b) に示すように層間絶縁膜303からなる平坦化膜(研磨面)上に大きな傷307が存在すると第3層配線パターン用の金属膜を成膜するときに金属が傷部307に入り込み、エッチングによって第3層配線パターンを形成する際多少オーバーエッチングされるが除去できない可能性があり、その結果傷部307に入り込んだ金属によって第3層配線パターンの間を短絡させる原因となる。なお、図2 (b) は図2

(a) の側面断面図である。また層間絶縁膜303からなる平坦化膜上に異物が存在すると、第3層配線パターン用の金属膜を成膜するときに異物の個所に成膜されないことになり、その結果第3層配線パターンについて断線の原因となる。また層間絶縁膜303からなる平坦化膜上に電氣的に導通の異物が存在すると、第3層配線パターンの間を短絡させる原因となる。

【0020】また、化学的、且つ機械的な研磨による平坦化法を、図3 (e) に示すように配線工程等に適用した場合においても、図4に示すように SiO_2 系膜315と金属配線パターン317とからなる平坦化膜(研磨面)上に大きな傷318が存在すると金属配線パターン317の電気抵抗が大となり、長期的に局部的な発熱から断線の原因となり、信頼性を低下させることになる。特にパイボウ等のように金属配線パターン317に対して高電流を流す半導体素子の場合には、この現象は顕著となる。また平坦化膜上に大きな傷318が存在するとこの傷部に汚染が付着した場合この汚染をその後の洗浄工程では洗浄されにくく、その後残った汚染物が内部

に拡散していった半導体素子にダメージを与える可能性を有することになる。また SiO_2 系膜315と金属配線パターン317とからなる平坦化膜上において、上部配線パターンとのコンタクト部に異物或いは傷が存在すると、コンタクト不良の原因となる。また平坦化膜上に電氣的に導通の異物が存在すると金属配線パターン317の間を短絡させる原因となる。

【0021】また、化学的、且つ機械的な研磨による平坦化法を、図5(e)に示すようにトランジスタ等の能動素子部の成膜に用いた場合、配線工程等で問題になる傷や異物等の欠陥より小さな欠陥が問題になる。具体的には、図5(e)に示す研磨工程において、能動素子328を形成する例えば Si_3N_4 層322の厚さは、0.05~0.3 μm 程度と非常に薄く形成されており、この研磨された表面に、図6(a)(b)に示すようにこれ以上の異物や傷329が存在すると容易にSi側に入り込み上記能動素子328は正常に動作しないことになる。図6(a)は図5(e)に示す平坦化膜面(研磨面)を示す平面図であり、図6(b)は図6(a)の側面断面図である。従って、図5(e)に示す平坦化膜面(研磨面)上に傷や異物等の欠陥が存在しないか否かについて検査してモニタすることによって初めて能動素子が正常に動作する研磨面を得ることができる。

【0022】以上説明したように、化学的、且つ機械的な研磨による平坦化面に傷や異物等の欠陥が存在した場合には、配線パターンの短絡や断線の原因となり、しかも半導体素子としての機能や信頼性を低下させることになる。従って、このような様々な形態での半導体基板(ウエハ)に傷や異物等の欠陥が存在するか否かについて、十分な感度で検査することによって、半導体素子としての機能を得て、高信頼性を有する半導体素子を実現することができる。即ち、傷や異物等の欠陥が存在するか否かについて検査する被検査対象が研磨面であるため、表面の研磨による面あれからの検出信号成分を十分小さくすることによって研磨による面あれの影響を低減して、傷や異物等の欠陥が存在するか否かについて高感度(高分解能)で検査することが可能となる。より具体的には、検出時の分解能(解像度)を向上した光学系を用いることで、研磨による面あれの影響を低減して、傷や異物等の欠陥が存在するか否かについて高感度(高分解能)で検査することが可能となる。

【0023】次に、本発明に係るCMP(Chemical Mechanical Polishing: 化学的、且つ機械的な研磨)装置200、残膜厚検出ヘッド210、傷・異物検査装置220、洗浄装置230、および傷・異物検査装置240を備えた全体システムについて説明する。図7はこの全体システムの概略構成を示した図である。CMP装置200は、研磨布が張り付けられたプラテンと呼ばれる研磨定盤201と、研磨定盤201の研磨布上にスラリーと呼ばれる研磨砥粒の水けん濁液を供給する供給手段2

03と、被研磨材である半導体ウエハ1を支持し、スラリーと呼ばれる研磨砥粒の水けん濁液を流しながら研磨定盤201との間で公転と自転との回転によって半導体ウエハ1の表面を研磨する研磨ヘッド202と、上記供給手段203によって供給される研磨砥粒の水けん濁液の種類(例えば異なった研磨砥粒からなる。)を変えたり、研磨ヘッド200の公転および自転を行なわせる回転駆動装置の駆動回転速度、研磨圧力付与手段によって付与される研磨圧力、および研磨時間等を制御する制御装置204とから構成される。制御装置204は、CMP装置200に投入される被研磨材である半導体ウエハ1の種類に応じて研磨条件(研磨砥粒の水けん濁液の種類、研磨ヘッド200の公転および自転の回転速度、研磨圧力および研磨時間等)が設定される。そして、制御装置204によってCMP装置200に投入される被研磨材である半導体ウエハ1の種類に応じて予め求められた大まかな研磨速度から算出される研磨時間だけ(やや少な目の時間だけ)CMP装置によって研磨された後、研磨ヘッド202は202'の位置まで上昇し、半導体ウエハ1に対して純水がかけられて半導体ウエハ1の研磨面が洗浄される。この状態において残膜厚検出ヘッド211は、半導体ウエハ1の研磨面に対向するように設置される。そして、半導体ウエハ1の表面の被研磨膜の残膜厚を測定する残膜厚検出装置210は、上記残膜厚検出ヘッド211と残膜厚検出ヘッド211で検出される信号を処理するマイコン等で構成される処理手段212とで構成される。残膜厚検出装置210の処理手段212で算出された半導体ウエハ1の表面の被研磨膜の残膜厚データがCMP装置の制御装置204にフィードバックされ、制御装置204はこのフィードバックされた残膜厚データに基づいて、例えば高速研磨から低速高精細研磨に移行制御すると共に研磨時間を制御して所望の膜厚で平坦化を実行する。即ち、残膜厚検出装置210によって半導体ウエハ1の表面の被研磨膜の残膜厚をモニタすることができるので、スループットの早い高速研磨手法と、研磨終了間際で、スループットは遅いが、傷や異物等の欠陥の発生の殆ど少ない低速高精細研磨手法とによる多段階研磨を実行することが可能となり、研磨のスループットを向上させると共に、傷や異物等の欠陥の発生をなくすることが可能となる。

【0024】以上により半導体ウエハ1の表面に対して研磨が終了されると、半導体ウエハ1は、研磨ヘッド202から取り外され、洗浄装置230において洗浄されるまで、液中に保管されることになる。その理由は、大気中に保管した場合、水と大気中の酸素との化学反応等により半導体ウエハ1に付着した研磨砥粒がウエハ表面に強固に付着してしまい、その後の洗浄ではとれなくなってしまうからである。また半導体ウエハの研磨が終了した研磨面における傷や異物等の欠陥が存在するか否かについての検査においては、研磨による表面の微細な荒

れから区別して検査をする必要がある。また研磨面が層間絶縁膜のように下地に配線パターンが存在する場合には、下地の配線パターンからの光の反射が得られないようにする必要がある。そこで、傷・異物検査装置220により、研磨が終了した半導体ウエハ1を液中に保管した状態で、研磨面における傷や異物等の欠陥が存在するかどうかについて光学的に検査すれば、研磨砥粒がウエハ表面に強固に付着してしまうことを防止することができる。と共下地の配線パターンからの光の反射が得られないような研磨面での全反射条件を容易に得ることができる。ところで、傷・異物検査装置220は、研磨された研磨面を有する半導体ウエハ1を浸す液を溜め、この半導体ウエハ1の研磨面に全反射条件で光を照射するための照明用窓18および研磨面からの散乱反射光を検出する検出用窓35を備え槽3と、検出用窓35を通して得られる研磨面からの散乱反射光を集光する対物レンズ31と、対物レンズ31で集光された光を受光して信号に変換するリニアイメージセンサからなる検出器34と、該検出器34で検出される画素信号を処理して研磨面における傷や異物等の欠陥を検出するマイコン等で構成される処理手段221とで構成される。しかしながら、研磨面は洗浄する前の状態であり、研磨砥粒が付着している可能性が高いので、傷・異物検査装置220は、研磨面に存在する傷や異物等の欠陥を研磨砥粒と弁別して検査することが必要となる。従って、必ずしも、槽3において液に浸した状態で半導体ウエハ1の研磨面に存在する傷や異物等の欠陥を検査する必要はない。

【0025】洗浄装置230は、CMP装置200で研磨された半導体ウエハ1を洗浄して、研磨面に付着した研磨砥粒等も含めて取り除くものである。傷・異物検査装置240は、洗浄装置230によって洗浄された半導体ウエハ1の研磨面に存在する傷や異物等の欠陥を検査するものである。この傷・異物検査装置240は、洗浄装置230によって洗浄された半導体ウエハ1の研磨面についての最終検査であるため、例えば、残膜厚検出ヘッド210と同様な光学系を設置して研磨面の膜厚を測定するように構成してもよい。そして傷・異物検査装置240は、洗浄装置230によって洗浄された半導体ウエハ1を載置するステージ系70と、半導体ウエハの研磨面に光を照射する照明系10と、研磨面の傷や異物からの散乱光を検出する検出器34を有する検出光学系30と、該検出器34から得られる画素信号を処理して研磨面における傷や異物等の欠陥を検出するマイコン等で構成される処理手段241とで構成される。コンピュータ250は、半導体ウエハ1の研磨面について生産管理を行なうもので、CMP装置200の制御装置204、残膜厚検出装置210の処理手段212、傷・異物検査装置220の処理手段221、および傷・異物検査装置240の処理手段241とネットワークを介して接続される。

【0026】そして、コンピュータ250は、CMP装置200の制御装置204からCMP装置200に投入される被研磨材である半導体ウエハ1の種類に応じて設定された研磨条件（研磨砥粒の水けん濁液の種類、研磨ヘッド200の公転および自転の回転速度、研磨圧力および研磨時間等）に関するデータを得ることができ、残膜厚検出装置210の処理手段212から半導体ウエハ1の種類に応じた残膜厚測定結果を得ることができ、傷・異物検査装置220の処理手段221から洗浄前の研磨面に存在する傷や異物等の欠陥の情報（該欠陥が発生した位置情報も含む）を得ることができ、傷・異物検査装置240の処理手段241から洗浄後の最終の研磨面に存在する傷や異物等の欠陥の情報（該欠陥が発生した位置情報も含む）や研磨面の膜厚データを得ることができ、これら得られた情報やデータについて半導体ウエハ1の単位もしくはロットの単位で記憶装置251に格納される。特に半導体ウエハ1の研磨面に発生する傷や異物については、半導体ウエハ1の単位で変動することが十分にありえるので、上記得られた情報やデータについて半導体ウエハ1の単位で記憶装置251に格納することが望ましい。

【0027】なお、252はディスプレイ等から構成される表示手段である。253はキーボードや記録媒体等で構成された入力手段である。254は印刷機や記録媒体等で構成された出力手段である。上記構成により、コンピュータ250は、半導体ウエハ1の単位で、傷・異物検査装置240で検査された最終の研磨面に存在する傷や異物等の欠陥の情報とその時の研磨条件（研磨砥粒の水けん濁液の種類、研磨ヘッド200の公転および自転の回転速度、研磨圧力および研磨時間等）に関するデータを対応させて記憶装置251から読みだして表示手段252に表示することができる。その結果、管理者は、表示手段252に表示された情報を見ながら、欠陥の発生原因である研磨条件を推定し、その推定された発生原因である研磨条件を入力手段253を用いて入力することによって、コンピュータ250は、過去の欠陥情報と研磨条件との対応関係から推定された研磨条件が正しいか否かについて分析をし、正しいと判断されたときにはその研磨条件を制御装置204にフィードバックする。すると制御装置204は、CMP装置200に対して修正された研磨条件に変更すべく指令を出して修正された研磨条件で投入された半導体ウエハ1に対して研磨が実行される。これによって、多くの欠陥不良をだすことなく、研磨を実行することができる。なお、上記の説明では、管理者が表示手段252に表示された情報を見ながら、欠陥の発生原因である研磨条件を推定したが、この推定アルゴリズムをコンピュータ250内のメモリに予め入力して記憶しておけば、コンピュータ250はこの推定アルゴリズムに基いて欠陥の発生原因である研磨条件を推定し、この推定された研磨条件が適切である

か否かについても過去の経歴情報に基いて判断することができる。

【0028】次に、CMP装置200と残膜厚検出装置210について、図8～図22を用いて具体的に説明する。図8はCMP装置200と残膜厚検出装置210とについて示した正面図、図9はCMP装置200について示した斜視図である。CMP (Chemical Mechanical Polishing) 装置200は、研磨布204が張り付けられたプラテンと呼ばれる研磨定盤201と、表面にスラリーと呼ばれる研磨砥粒の水けん濁液を流す研磨砥粒の水けん濁液供給手段203と、被研磨材である半導体ウエハを支持し、公転と自転とが行なわれるように120度間隔で設置され、研磨圧力が付与される3つの研磨ヘッド202とで構成される。研磨定盤201の表面に張り付けられた研磨布204の表面にスラリーと呼ばれる研磨砥粒の水けん濁液を流しながら、各研磨ヘッド202により各半導体ウエハ1を支えながら研磨圧力を付与し、研磨定盤201の公転と研磨ヘッド202の自転とによる回転をさせることによって半導体ウエハ1の表面に対して多段階の研磨が施されることになる。制御装置204からの制御信号に基いて、最初は高速研磨が施され、研磨終了に近ずいたとき低速の高精細研磨に切り換えられて移行することになる。これにより、高スループットで研磨を行なうことができると共に研磨終了時において表面に傷や異物等の欠陥の発生を極力なくすることができる。ところで、高速研磨においては、研磨砥粒として大きいもの（具体的には、例えば50nmより大きいもの）を用い、研磨の際研磨ヘッド202を高速回転（具体的には、例えば60rpmより大きな回転速さ）させ、被研磨材と研磨布（研磨パッド）との間の圧力を大きく（具体的には、例えば100g/cm²より大きな圧力）する。低速研磨においては、研磨砥粒として小さいもの（具体的には、例えば50nmより小さいもの）を用い、研磨の際研磨ヘッド202を低速回転（具体的には、例えば60rpmより小さな回転速さ）させ、被研磨材と研磨布（研磨パッド）との間の圧力を小さく（具体的には、例えば100g/cm²より小さな圧力）する。

【0029】即ち、制御装置204からの制御指令に基いて、CMP装置200により求め求められた大まかな

$$d = N / (2n \cdot (1/\lambda_1 - 1/\lambda_2)) \quad (\text{数1})$$

ただし、Nはピーク位置（1/λ₁）からピーク位置（1/λ₂）までの間のピークの個数である。ピークは極大でも、極小でのどちらでも良い。nは被研磨材である絶縁膜の屈折率である。ここで、ピンホール262は、1次元のピンホールすなわちスリットであっても良い。要するに光源として、点光源またはスリット光源で形成し、研磨面に対してほぼ平行光で照射できれば良い。即ち、検出器273上で分光して検出される検出信号波形より、処理手段212によって以下に説明する原

研磨速さから算出される研磨時間だけ（やや少な目の研磨時間だけ）研磨した後、研磨ヘッド202を202'の位置まで上昇させ、研磨ヘッド202に支持された半導体ウエハ1に純水をかけて研磨面を洗浄し、後述する残膜量検出ヘッド211を挿入し、残膜厚検出装置210によりウエハ表面の被研磨膜の残膜厚量を測定する。ここで、残膜厚検出装置210により測定された残膜厚量が所定量に達していれば研磨は終了し、達していなければ、処理手段212によって残膜厚量を制御装置204にフィードバックすることによって制御装置204は残膜厚量からその後の研磨時間を算出し、この算出された研磨時間の指令をCMP装置200に提供することによって算出された研磨時間だけさらに研磨することになる。これにより大きく終点研磨量をはずれる事がなくなる。図10は、残膜厚検出ヘッド211の第1の実施例を示す構成図である。即ち、残膜厚検出ヘッド211は、ハロゲンランプ等から構成された光源261と点光源を形成するピンホール262とピンホール262から出射した光をほぼ平行光265に変換して半導体ウエハ1の研磨面に照射する集光レンズ263とよりなる照明光学系と、ハーフミラー264と回折格子271と結像レンズ272とよりなる結像光学系と、検出器334とから構成される。ピンホール262による点光源の像は、集光レンズ263、半導体ウエハ1の研磨面（被平坦化膜）、ハーフミラー264、回折格子271を介して結像レンズ272により検出器273上に結像される。この際、光源の波長毎に回折格子332による回折角度が異なるため、検出器334上では分光された像として結像され、図11に示すような波形が検出される。図11は、検出器273上で分光して検出される波長に対する検出波形を示す。図12は、検出器273上で分光して検出される1/波長に対する検出波形を示す。図11の場合は横軸を波長λにし、図12の場合は横軸を1/波長λにした。図11に示す波形では、波長λの長い方で波形のピーク位置のピッチがのびる。ところが図12に示す波形では、全ての位置で波形のピーク位置（極大または極小の位置）のピッチが等間隔で並ぶ。従って、残膜厚量dの算出は、次に示す（数1）式によって算出することができる。

【0030】

理により、残膜厚が計測される。

【0031】図13に残膜厚測定対象物の断面図を示す。この残膜厚測定対象物（半導体ウエハ）1は、例えば下地パターン131の上に配線パターン132（301）が形成され、その隙間を埋めさらにその上部にかけて酸化珪素系（SiO₂系）の絶縁膜（被平坦化膜）133が形成されたものである。ここで、研磨によって平坦化された絶縁膜133（303）の表面に照射された光265は、絶縁膜（被平坦化膜）133が透明である

ため、被平坦化膜133の表面、配線パターン132の上部(上面)、配線パターン132の底部の3カ所で反射して検出器273に届く。実際には、下地パターン自体が複雑な上、さらに下地まで光が届きさらに複雑な波面を形成する。この際、この3つの光束が干渉し合い、図11に示した波形が検出される。従って、この検出波形はd1、d2、d3の3つの光路差から生じた干渉光が重ね合わさっていることになる。そこで、より高精度な計測を実現するためには、この3つの干渉光を分離

(分解)する必要がある。この分解のためには、図12に示す検出波形の周波数解析が効果を発揮する。この周波数解析は、FFT等のフーリエ解析でも、最大エントロピー法等の予測形の周波数解析であっても良い。このように処理手段212により周波数解析をして分離(分解)し、この分離されたものから上記(数1)式に基いて残膜厚dを測定することができる。

【0032】以上の方法で残膜厚は高精度に計測できるが、下地パターンが特に複雑な場合は、精度が落ちることがある。このような場合にも精度を保つためには、図14に示すようにある特定のピークに着目し、そのピークの横方向への変動 δ を検出(モニタ)しても良い。これにより、さらに高精度な検出が可能になる。この場合、ピークの移動 δ は、残膜厚量に対して必ずしも線形に変わらない場合がある。そのため、さらに高精度な検出のためには、予め測定された移動量と残膜厚量の関係を表したテーブルを用いると良い。この換算は、もちろんマイコン等の処理手段212上で自動的に為される。図15は、残膜厚検出ヘッド211の第2の実施例を示す構成図である。即ち、半導体ウエハ1において層間絶縁膜133(303)を研磨して平坦化する場合、層間絶縁膜133(303)の下に配線パターン132(301)が規則的に形成されている。従って、研磨された層間絶縁膜133(303)に対して照明光265を照射した際、規則的に配列された配線パターン132(301)が回折格子の役目をして、層間絶縁膜133(303)から分光された反射光が得られ、この分光された光を検出器273で受光することによって、図11に示すような信号を検出することができる。そこで、処理手段212によって、図12に示す信号に変換することによって、(数1)式に基いて残膜厚量を算出することができる。当然、より高精度に残膜厚量を算出するためには、FFT等のフーリエ解析や最大エントロピー法等の予測形の周波数解析等を用いて干渉光を分離(分解)する必要がある。

【0033】図16は、残膜厚検出ヘッド211の第3の実施例を示す構成図である。この第3の実施例は、基本的には図15に示す第2の実施例と同様である。即ち、半導体ウエハ1において層間絶縁膜133(303)を研磨して平坦化する場合、層間絶縁膜133(303)の下に配線パターン132(301)が規則的に

形成されている。残膜厚検出ヘッド211の第3の実施例は、ハロゲンランプ等から構成された光源261と点光源を形成するピンホール262とピンホール262から出射した光をほぼ平行光265に変換してこの照明光265を半導体ウエハ1の研磨された層間絶縁膜133(303)に対して斜め方向から照射する集光レンズ263とよりなる照明光学系と、結像レンズ272よりなる結像光学系と、分光されて結像された像を検出する検出器273とから構成される。従って、研磨された層間絶縁膜133(303)に対して照明光265を照射した際、規則的に配列された配線パターン132(301)が回折格子の役目をして、層間絶縁膜133(303)から分光された反射光が得られ、この分光された光を結像レンズ272によって結像させ、この結像した分光像を検出器273で受光することによって、図11に示すような信号を検出することができる。そこで、処理手段212によって、図12に示す信号に変換することによって、(数1)式に基いて残膜厚量を算出することができる。当然、より高精度に残膜厚量を算出するためには、FFT等のフーリエ解析や最大エントロピー法等の予測形の周波数解析等を用いて干渉光を分離(分解)する必要がある。

【0034】図17は、残膜厚検出ヘッド211の第4の実施例を示す構成図である。即ち、残膜厚検出ヘッド211は、白色光源331と、ハーフミラー333と、該白色光源331から照射された白色光を集光して半導体ウエハ1の研磨面に照射し、半導体ウエハ1の研磨面(被平坦化膜)より得られる回折光を検出器334上に結像する集光レンズ(結像レンズ)332と、該結像された回折像を受光して回折像信号に変換する検出器334とによって構成される。図18は、検出器334によって検出される回折像面145における回折像146の強度分布を示す。図19は、回折像面におけるu方向(半径方法)についての残膜厚の変化に応じた回折像の強度分布の変化141、142を示す。従って、処理手段212内のメモリに予め複数の残膜厚量に応じた回折像の強度分布を測定して記憶しておくことにより、処理手段212は、検出器334で検出される回折像の強度分布から上記メモリに記憶された複数の残膜厚量に応じた回折像の強度分布について補間することによって残膜厚量を算出することができる。図20は、残膜厚測定のための他の実施例を示す構成図である。この実施例は、残膜厚測定のためのテーパのついた透明基板からなる試料281を支持する小型の研磨ヘッド202aを備え、本来の研磨ヘッド202による半導体ウエハ1に対する研磨と同様に上記試料281に対して研磨布204を張り付けた研磨定盤201との間において研磨を施すように構成する。即ち、研磨ヘッド202aも研磨ヘッド202と同様に研磨圧が付与されて自転するように回転駆動される。この実施例の場合、半導体ウエハ1に対する被

研磨材が絶縁膜303、326である場合には、この絶縁膜303、326の材質と上記試料281の材質と同じにすることによって、半導体ウエハ1に対する研磨量と試料281に対する研磨量と一致させることができる。いずれにしても、予め半導体ウエハ1に対する研磨量と試料281に対する研磨量との相関関係を求めておくことが必要である。このように半導体ウエハ1に対する研磨量と試料281に対する研磨量との相関関係が把握できているので、試料281に対して残膜厚を測定することによって半導体ウエハ1に対する残膜厚を算出することができる。

【0035】この実施例は、研磨ヘッド202aに、レーザ等のコヒーレント光源282と、ハーフミラー283と、検出器284とを備え、研磨ヘッド202aに支持された試料（テーパのついた透明基板）281に対して裏側から窓285を通してコヒーレント光を照射し、テーパのついた透明基板281からの干渉縞像（図21（a）に示す）286を検出器284で検出する干渉光学系を形成している。ここで、コヒーレント光源282は、必ずしもレーザである必要はなく、ハロゲンランプ等の白色光源を用い、光学系全体の中で、コヒーレント状態を形成しても良い。具体的には、時間的かつ空間的にコヒーレントな状態つまり、波長の帯域を限定するフィルターと、ピンホール、1次元のピンホール（スリット）を挿入しても良い。従って、検出器284は、図21（a）に示す干渉縞像286を受光して試料281の残膜厚量に応じて図21（b）に示す信号287、288が得られる。そこで処理手段212において信号287、288のシフト量 $\delta 1$ を算出することによって、試料281の残膜厚量を求めることができ、その結果半導体ウエハ1に対する研磨量と試料281に対する研磨量との相関関係から半導体ウエハ1に対する残膜厚量を算出することができる。この実施例の場合、研磨中いつでも残膜厚量を算出することができる。研磨中は、試料281の研磨面と研磨布204との間に研磨砥粒の水けん濁液が介在することになるが、この研磨砥粒の水けん濁液の影響を大きく受けることなく、図21（a）に示す干渉縞が検出できることが実験により確認できた。なお、上記実施例は、研磨中に残膜厚量を算出するために、研磨ヘッド202aの裏側に、レーザ等のコヒーレント光源282と、ハーフミラー283と、検出器284とからなる照明光学系および検出光学系を備えた場合について説明したが、この照明光学系および検出光学系を試料281と対向するように設置しても良い。この場合、研磨ヘッド202aに支持された試料281に対して残膜厚量を測定するためには、図8に示すように、研磨ヘッド202aを202'の位置まで上昇させ、研磨ヘッド202aに支持された試料281に対して純水をかけて試料281の研磨面を洗浄する必要がある。即ち、研磨された試料（テーパのついた透明基板）281

を支持した研磨ヘッド202aに対して、図8に示す残膜厚検出ヘッド211と同様に試料281の残膜厚量を測定することができる。

【0036】図22は、残膜厚測定のための図20とは異なる他の実施例を示す構成図である。この実施例は、残膜厚測定のための平行な透明基板からなる試料291を支持する小型の研磨ヘッド202aを備え、本来の研磨ヘッド202による半導体ウエハ1に対する研磨と同様に上記試料291に対して研磨布204を張り付けた研磨定盤201との間において研磨を施すように構成する。即ち、研磨ヘッド202aも研磨ヘッド202と同様に研磨圧が付与されて自転するように回転駆動される。この実施例の場合、半導体ウエハ1に対する被研磨材が絶縁膜303、326である場合には、この絶縁膜303、326の材質と上記試料291の材質と同じにすることによって、半導体ウエハ1に対する研磨量と試料291に対する研磨量と一致させることができる。いずれにしても、予め半導体ウエハ1に対する研磨量と試料291に対する研磨量との相関関係を求めておくことが必要である。このように半導体ウエハ1に対する研磨量と試料291に対する研磨量との相関関係が把握できているので、試料291に対して残膜厚を測定することによって半導体ウエハ1に対する残膜厚を算出することができる。

【0037】この実施例は、研磨ヘッド202aに、試料291の研磨面においてほぼ重なるように検出光軸294に対して対称に斜め方向からレーザ等のコヒーレント光293a、293bを照射する照射光学系と、結像レンズ292と、検出器284とを備え、研磨ヘッド202aに支持された試料（平行な透明基板）291の研磨面においてほぼ重なるように、試料291の裏側から窓285を通して検出光軸294に対して対称に斜め方向からコヒーレント光293a、293bを照射することによって、結像レンズ292によって結像される透明基板291からの干渉縞像（図21（a）に示す）286を検出器284で検出できるように干渉光学系を形成する。従って、検出器284は、図21（a）に示す干渉縞像286を受光して試料291の残膜厚量に応じて図21（b）に示す信号287、288が得られる。そこで処理手段212において信号287、288のシフト量 $\delta 1$ を算出することによって、試料291の残膜厚量を求めることができ、その結果半導体ウエハ1に対する研磨量と試料291に対する研磨量との相関関係から半導体ウエハ1に対する残膜厚量を算出することができる。この実施例の場合、研磨中いつでも残膜厚量を算出することができる。研磨中は、試料291の研磨面と研磨布204との間に研磨砥粒の水けん濁液が介在することになるが、図20に示す実施例と同様に研磨砥粒の水けん濁液の影響を大きく受けることなく、図21（a）に示す干渉縞を検出することができる。

【0038】以上説明したように図20および図22に示す実施例は、研磨の速さ（研磨レート）を研磨中に実時間でモニタできるため、事前に膜厚を測定しておくことにより残膜厚量をモニタでき、高速研磨から高精度の低速研磨への切り換えを最終的に傷や異物等の欠陥が発生しない限界に近づく時間まで遅らせることができ、その結果、半導体ウエハ1に対して最終的に傷や異物等の欠陥が存在しない平坦化された研磨面を高スループットで製造することができる。また、半導体ウエハ（半導体基板）1に対して図3に示すようにダマシと呼ばれるプロセスを適用した場合において、図3（e）に示す如く金属膜316をCMP装置200で研磨する際にも、残膜厚量として下部のSiO₂系の絶縁膜パターン315が露出した時点を予測もしくは検出することが必要となる。そこで、図3（d）に示す断面構造を有する半導体ウエハ1を研磨ヘッド202に支持し、該半導体ウエハ1の表面の金属膜316を研磨定盤201に張り付けられた研磨布204との間で研磨砥粒の水けん濁液によって研磨し、下部のSiO₂系の絶縁膜のパターン315が露出したと予想される時点において、図8に示すように、研磨ヘッド202を202'の位置まで上昇させ、研磨ヘッド202に支持された半導体ウエハ1に対して純水をかけて半導体ウエハ1の研磨面を洗浄し、残膜厚検出ヘッド211により絶縁膜パターン315が露出した配線パターンの厚さを光学的に光干渉を用いて測定することができ、研磨の終点について適切であるか否かについて判定することができる。即ち、表面に金属膜316のみが形成された状態では、干渉は起こらないために平坦な検出波形として検出され、金属膜316の下部の絶縁膜パターン315が露出すると絶縁膜315の下面からの反射光（基板311の表面が絶縁膜から形成されている場合には絶縁膜315の下面からはごく僅かの反射光しか得られない。）と金属配線パターン317あるいは絶縁膜315の表面からの反射光との干渉による波形が検出されることによって、研磨の終点について適切であるか否かについて判定することができる。特に残膜厚検出ヘッド211として図16に示す第3の実施例を用いると構成が簡単で適切である。

【0039】次に、傷・異物等の欠陥検査装置240について、図23～図26を用いて具体的に説明する。図23は、本発明に係る傷・異物等の欠陥検査装置240の第1の実施例を示す構成図である。この第1の実施例は、アルゴンレーザ11、ビームエキスパンダ12、2分の1波長板13、偏光素子14、偏光素子14の偏光の向きを変える偏光素子回転機構15、シリンドリカル等の集光レンズ16、入射角度可変機構17より構成される照明系10と、対物レンズ31、偏光素子32、空間フィルタ33、検出器34より構成される検出光学系30と、2値化回路51、座標生成回路52、検出結果メモリ54、コンピュータ53、検出結果表示手段55

より構成されるデータ処理系241と、ローディング・アンローディング手段74、xyzステージ71、自動焦点検出系73、zステージコントローラ75、xyステージコントローラ72より構成されるステージ系70とより構成される。なお、データ処理系（処理手段）241を構成するコンピュータ53は、管理用のコンピュータ250とネットワークを介して接続されている。まず、CMP装置200で研磨されて少なくとも洗浄装置230で洗浄された半導体ウエハ1は、洗浄装置230から搬送手段を用いてローディング位置まで搬送され、ローディング手段74により研磨面を上側に向けてxyzステージ71上に載置される。

【0040】そして、予めコンピュータ53に対して入力されて設定された検査範囲データがxyステージコントローラ72に提供され、xyステージコントローラ72の制御に基づき、xyステージ71がxyに走査される。この際、自動焦点検出系73による検出結果に基づくzステージコントローラ75の制御により、上記xy走査期間中、半導体ウエハ1の研磨面が自動的に焦点位置に合わされる。同時にxyステージコントローラ72の出力は、座標生成回路52に導かれ、検査位置の座標の作成に用いられる。ここで、自動焦点検出系73は、縞パターンを投影してそのピンぼけ量から焦点位置を検出するものでも、ナイフエッジと2分割センサを用い2分割センサの出力差（あるいは比）から焦点位置を検出するものでも、あるいは、静電容量タイプのセンサによりz位置を計測するものでもかまわない。

【0041】xyzステージ71上に載置された半導体ウエハ1の研磨面上に傷や異物等の欠陥が存在しないか否かについての検査が次に説明するように行なわれる。即ち、アルゴンレーザ11から射出した光は、ビームエキスパンダ12でビーム径が拡大され、2分の1波長板13を通して円または楕円偏光に変換され、偏光素子14によりS偏光またはP偏光に変換され、シリンドリカルレンズ等の集光レンズ16で細帯状に集光されて半導体ウエハ1上の平坦化された研磨面に照射される。半導体ウエハ1の研磨面から射出した光は、検出レンズ31で集光されて偏光素子32または／および空間フィルタ33を通して検出器34により検出される。即ち、半導体ウエハ1の研磨面に対して集光レーザ光が斜め方向から照射され、xyステージ71が走査され、半導体ウエハ1の研磨面からの散乱回折光が対物レンズ31に入り、半導体ウエハ1の研磨面が例えば層間絶縁膜303の場合、その下に配線パターン301が存在することにより、この規則的に配置された配線パターン301からの散乱反射光を偏光素子32または空間フィルタ33で遮光し、半導体ウエハ1の研磨面から発生する散乱回折光による像を例えばリアセンサ（CCD）で構成された検出器34で受光して検出信号37を出力する。この検出信号37は、2値化回路51によって所望の閾値で

2 値化信号に変換され、この2 値化信号において所望の閾値を越えた研磨面に存在する傷や異物等の欠陥を示す検出力と、その検出力が得られたときの座標生成回路5 2から得られる研磨面上の発生位置の座標とがコンピュータ5 3からの指令に基いて対応付けされて半導体ウエハ毎に検出結果メモリ5 4に格納される。各半導体ウエハに付与された番号を読み取り手段3 8で読み取ってコンピュータ5 3および座標生成回路5 2に入力することによって、欠陥を示す検出力とその発生位置の座標とが半導体ウエハ毎に検出結果メモリ5 4に格納されることになる。後述するように、検出結果メモリ5 4には、傷と異物とに弁別してそれらの発生位置の座標とが対応させて半導体ウエハ毎に格納されるので、コンピュータ5 3はこれら格納されたデータを読み出すことによって半導体ウエハ毎、または複数の半導体ウエハに亘っての、またはロット単位での、半導体ウエハ上に発生した傷や異物についての分布をマップとして収集することができ、それを表示手段5 5に表示することもできると共に管理用のコンピュータ2 5 0に提供して記憶装置2 5 1に記憶させたり表示手段2 5 2に表示をすることもできる。またコンピュータ5 3は、半導体ウエハ毎の、またはロット単位毎の半導体ウエハ上に発生した傷や異物の個数等の変化(変動)を収集することができ、それを表示手段5 5に表示することもできると共に管理用のコンピュータ2 5 0に提供して記憶装置2 5 1に記憶させたり表示手段2 5 2に表示をすることもできる。

【0 0 4 2】上記検出器3 4から得られる検出波形の一例を図2 4に示す。図2 4 (a) (b)には、半導体ウエハ1の表面(研磨面)に照射した光ビーム1 0 7を示す。図2 4 (a)は成膜後及びCMP処理後において表面(研磨面)に面荒れがある場合、図2 4 (b)は面荒れがなく異物4 1が存在する場合をそれぞれ示す。図2 4 (c)、(d)にそれぞれの場合における散乱光を検出器3 4で受光して得られる検出信号波形1 0 9、1 1 0を示す。ところで、図2 4 (c)に示す表面の面荒れに基づく信号波形1 0 9と、図2 4 (d)に示す表面に存在する傷や異物4 1に基づく信号波形1 1 0とを区別する必要がある。図2 4 (c)、(d)に示すような信号波形1 0 9、1 1 0が検出されれば、適当な閾値1 1 1を設定することで、傷や異物と面荒れとを区別して検出することができる。しかしながら、特に検出器3 4によって検出する際の画素サイズが大きい場合(たとえば照明領域全域を1つの信号として検出する場合)には、図2 4 (e)、(f)に示すように面荒れと傷や異物との区別が付きにくくなる。図2 4 (e)、(f)では、検出器3 4によって斜線の部分全体が積分された形1 1 3、1 1 4で検出されるため相対的に傷や異物4 1の信号1 1 4が小さくなり、その結果傷や異物を面荒れと区別して検出することができない。つまり、表面(研磨面)上に換算したときの検出器3 4によって検出する画素の

大きさは、許される限り小さくするのが望ましい。具体的には、たとえば、8インチウエハの検査時間を3 0秒としたい場合、検出器3 4としてリニアセンサ(CCD)を4段並列で構成し、信号のサンプリング測度を1 4 MHzとした場合、検出画素のサイズを、表面(研磨面)上に換算して7 μ m平方とする必要がある。CCD自体の画素サイズが例えば1 3 μ m平方とした場合、対物レンズ3 1による結像倍率を約1. 9倍にすれば良い。この検出画素サイズの値は、これら他のパラメータとの関係で目的に応じて選択されるべきものである。検出感度を十分にしたい場合、表面(研磨面)上に換算して1 μ m \sim 2 μ m平方程度にするのが望ましい。

【0 0 4 3】また、面荒れを検出する場合は、図2 4

(c)に示す閾値1 1 2にすればよい。即ち、CMP装置2 0 0において、研磨条件を設定する際、面荒れの情報が必要とする場合には、この傷・異物等の欠陥検査装置2 4 0で検出してやれば良い。ここで、2 値化回路5 1は面荒れの信号を消去するためであり、必ずしも2 値化回路である必要はない。即ち、検出器3 4で検出される信号に対して多値の閾値で量子化した画像データに変換してその画像データ及び表面(研磨面)上における位置座標とを対応させて検出結果メモリ5 4に格納させても良い。この場合、コンピュータ5 3は、検出結果メモリ5 4に格納されたデータを読み出すことによって半導体ウエハ1の表面(研磨面)上に発生した傷の大きさによって分類処理し、その良否の判定をすることができるという効果を発揮する。また、複数の閾値の内のいずれか(複数であっても良い)を、面荒れを検出する閾値として用いることで、面荒れのレベル、あるいは面荒れの分布を計測することができ、その結果を管理用のコンピュータ2 5 0を介してCMP装置2 0 0にフィードバックすることによって、CMP装置2 0 0において、研磨条件を最適化することができる。

【0 0 4 4】また、コンピュータ5 3は、検出結果メモリ5 4に格納された半導体ウエハ1毎の検出結果(面荒れについて除去された量子化された画像データ)から、図2 5 (a)に示すように傷4 0は通常複数の連続した(あるいは断続的に連続した)形で出現し、図2 5

(b)に示すように異物4 1は通常孤立した形で出現するという統計的・経験的な知見に基づく形状認識処理によって傷と異物とに分類する。そして、コンピュータ5 3は、半導体ウエハ1毎に、傷と分類された画像データに対して隣接する傷を一つの連続した傷としてグループ化し、このグループ化された個数を計数することによって半導体ウエハ1毎の傷の数を算出して検出結果メモリ5 4に格納することができ、半導体ウエハ1毎の傷の数の管理が可能となる。但し、このグループ化の処理は必ずしも常に有用であるとは限らず、半導体ウエハ1毎(全面で)の傷部の面積を管理する場合には、グループ化の処理は必要にならないことは明らかである。このグ

ループ化の処理は、通常の画像処理のアルゴリズムとして知られているラベリングアルゴリズムを使って実施される。さらにこの処理はコンピュータ53によりソフト的に行なうと説明したが、専用のハードウェア（回路）により実現しても良い。

【0045】また、連続したり、非常に近接している画像パターンに対して同じラベルを付与してグループ化する処理は、傷と異物の分類に用いることができる。すなわち傷は通常複数の連続した（あるいは断続的に連続した）形で出現し、異物は通常孤立した形で出現するからである。さらに、面荒れを消去した信号に対してハードウェアでグルーピングすることで検出結果メモリ54の容量を節約することができる。即ち、コンピュータ53は、半導体ウエハ毎に、検出結果メモリ54に格納された2値化画像データを読み出して、図25に示すように、画像処理により形状を認識して線状に伸びた傷40であるか、粒子状の異物41であるかの判定を行ない、傷40と判定されたときには傷を示す2値化画像データからその傷40の面積 S_s および最大長さ L を求めて傷の判定基準と比較して良否の判定を行なってその結果を検出結果メモリ54に発生位置の座標に対応させて格納し、異物41と判定されたときには異物を示す2値化画像データからその異物41の面積 S_f を求めて異物の判定基準と比較して良否の判定を行なってその結果を検出結果メモリに発生位置の座標に対応させて格納する。このように、研磨面に発生した欠陥が傷なのか、異物なのかを、認識するのは、良否の判定基準が異なると共に、傷を発生させる研磨条件と異物を発生させる研磨条件が異なるからである。従って、コンピュータ53が、半導体ウエハ1毎に、研磨面の傷や異物等の欠陥についての検査結果（傷の発生状況と異物の発生状況とを区別して把握された情報である。）45を、検出結果メモリ54から読み出して、ネットワークを介して管理用のコンピュータ250に提供することによって、管理用のコンピュータ250は、傷の発生状況と異物の発生状況とを区別して把握でき、しかもCMP装置200の制御装置204から現在のCMP条件が把握できるので、研磨面に発生した傷や異物の原因であるCMP条件を究明することが容易に可能となり、この究明されたCMP条件を修正すべく、制御装置204にフィードバックすることが可能となる。これによって、CMP装置200は、制御装置204からの指令または制御に基いて、CMP条件を修正することによって、半導体ウエハ1の研磨面に傷や異物の発生を無くして歩留まり向上を果たすことができる。またCMP装置200が研磨条件の設定に研磨面の面荒れ情報も必要とするならば、制御装置204が傷・異物等の検査装置240の処理手段241からその情報の提供を管理用のコンピュータ250を介して受けるようにすれば良い。

【0046】ところで、半導体ウエハ1上の平坦化され

た研磨面としては、図1および図2に示すように配線パターン301上に絶縁膜303が形成されている場合と、図3（e）および図4に示すように基板（表面が絶縁膜で形成されている場合もある。）311上に絶縁膜パターン315と配線パターン317とが形成されている場合と、図5（e）および図6に示すように SiO_2 系の絶縁膜パターン325と Si_3N_4 のパターン322とが形成されている場合とがある。そして半導体ウエハ1上の平坦化された研磨面には、研磨による僅かな面荒れが生じている。図3（e）および図4に示す場合には、研磨面に絶縁膜パターン315と配線パターン317とが存在することになる。しかしながら、絶縁膜パターン315と配線パターン317とは表面の反射率が相違することになる。従って、面荒れによる絶縁膜パターン315の表面から発生する散乱回折光を検出器34が受光して得られる信号波形と、面荒れによる配線パターン317の表面から発生する散乱回折光を検出器34が受光して得られる信号波形との間において強度が相違することになる。そこで、コンピュータ53は、検出器34から得られる信号37から絶縁膜パターン315の領域と配線パターン317の領域とを判定し、配線パターン317の領域から検出器34によって得られる信号に対しては2値化回路51に対して高い閾値を設定し、絶縁膜パターン315の領域から検出器34によって得られる信号に対しては2値化回路51に対して低い閾値を設定することによって面荒れによって生じる信号を消去することができる。なお、この場合、コンピュータ53が絶縁膜パターン315の領域と配線パターン317の領域とを判定するまで、検出器34から得られる画像信号を記憶して所定の時間遅延させる必要がある。また、傷についても、絶縁膜パターン315の表面に発生した傷から発生する散乱光の強度は、配線パターン317の表面に発生した傷から発生する散乱光の強度よりも弱くなるが、半導体素子として支障のあるのは、前述した通り、配線パターン317の表面に発生した傷であるため、絶縁膜パターン315の表面に発生した傷については感度が落ちて正確に認識できなかったとしても問題にはならない。また、異物については、絶縁膜パターン315と配線パターン317とについて同様な散乱光強度が得られることから問題にならない。

【0047】ところで、上記説明では、面荒れによって生じる信号を消去するために、絶縁膜パターン315の領域と配線パターン317の領域とで閾値を変えるようにしたが、絶縁膜パターン315の表面に発生した傷について認識できなくても良ければ、領域に関係無く配線パターン317の表面に発生した面荒れを消去できる高い閾値に設定すればよい。これにより、コンピュータ53による絶縁膜パターン315の領域と配線パターン317の領域との判定および閾値の変更が不要となる。以上説明したように、図3（e）および図4に示す場合に

において、研磨面に発生した異物や傷について、検査することが可能となる。図5(e)および図6に示す場合には、研磨面に絶縁膜パターン325と Si_3N_4 層322とが存在することになる。しかし、絶縁膜パターン325も Si_3N_4 層322も照明光に対して同じような特性を示すことによって、図24(c)、(d)に示すような閾値111によって面荒れによって生じる信号を消去することができ、その結果研磨面における異物や傷について、検査することが可能となる。特に素子分離構造を作るために要求されるのは、図6に示すように Si_3N_4 層322に傷329が発生しないことであるので、この傷329が確実に検出できるように、閾値等の感度を設定すれば良い。なお、図23に示す傷・異物等の欠陥検査装置240における照明光の光源としては、アルゴンレーザ11である必要はなく、他の波長のレーザ光源、例えば、ヘリウムネオンレーザ、赤色の半導体レーザ(ガリウムアルミニウム砒素化合物半導体レーザ)、SHG(2次高調波)を用いた光源、キセノンランプ、水銀ランプ等の放電管光源、ハロゲンランプ等のフィラメントランプであってよい。

【0048】また、空間フィルタ33、2分の1波長板13、偏光素子14、32は必ずしも必要ではない。これらのフィルタは、傷の形状の分類、異物あるいは欠陥といった凹凸形状の分類等に用いるものである。具体的には、照射光としてS偏光(電界ベクトルが入射面に垂直な光束)を用いることで、半導体ウエハ1の表面(研磨面)の面荒れが軽減され、異物、スクラッチ・傷の検出感度を向上させることができる。逆に、P偏光(電界ベクトルが入射面に平行な光束)にすることにより、表面の面荒れを高感度で検出することができる。これらのモードは、評価されるべき対象物に応じて選択されるものである。図26には、図23に示す傷・異物等の欠陥検査装置240において、照明を2方向照明にした場合を模式的に示す。図23に示す実施例では、照明の入射面に垂直な方向に近い方向を持つ傷が強調され検出される。そこで図26に示したように互いに直角な方向101、102、103、104から斜め照明することによりこの指向性は軽減される。もちろん4方向でなく、直角な2方向101、102でもよい。また直角でない方向も含めて4方向103、105、106、104でも良い。しかしながら照明光束2(107)を実現するという立場からは、先に示した直角な2方向あるいは4方向が望ましい。また、図27には、図23に示す傷・異物等の欠陥検査装置240において、全方向から照明する手法を示す。この実施例は、光源11、ビームエキスパンダ18、19、中央をくり貫いたミラー38より構成される照明光学系と、対物レンズ31、結像レンズ37、検出器34より構成される検出光学系と、図23に示すステージ系70、およびデータ処理系241より構成される。

【0049】この実施例では、照明光学系により半導体ウエハ1の表面(研磨面)上の1点が全方位から照明される。半導体ウエハ1の表面から反射した光は、中央をくり貫いたミラー38により0次反射光が遮光され、傷や異物等の欠陥からの散乱光のみがミラー38を通過して結像レンズ37によって検出器34に結像されて検出される。この方法では、半導体ウエハ1の表面上の1点のみの照明であるから、 θ ステージを回転させながらxステージを走査することにより、照明光束を半導体ウエハ1の表面に対して螺旋状に走査するのが効率的である。従って、ステージ系にはx θ ステージ系を用いている。もちろん、ステージ系は図23に示すxyzステージであっても本質的な問題ではないのは言うまでもない。また、データ処理系241等の構成は図23のものと等価である。この方法では、全方向から照明するため、図23に示した方法よりさらに、傷等の検出で、指向性が軽減される。

【0050】次に、傷・異物等の欠陥検査装置220の実施例について、図28～図31を用いて具体的に説明する。この実施例は、CMP装置200で研磨された半導体ウエハ1は洗浄装置230によって洗浄するまでは、液中に保管されることを利用して、液中において研磨面上の傷や異物等の欠陥を検査するものである。図28は、液中での研磨面上の傷や異物等の欠陥を検査する傷・異物等の欠陥検査装置220の実施例を示した概略構成図である。この実施例は、図23とほぼ同様な構成である。槽3の液中の中に半導体ウエハ1を載置するステージ71を備え、照明系10は槽3の外側に設け、検出系30はケーシング36に納めるように構成する。処理手段241については、図23と同様である。従って、照明系10からの照明光は照明用窓18を通して液中の半導体ウエハ1の表面(研磨面)に照射し、液中の半導体ウエハ1の表面からの散乱光を検出用窓35を通して検出光学系30で検出する。半導体ウエハ1が液中に存在するためウエハを載置するステージは固定で、静止した半導体ウエハ1に対し、照明光学系10と検出光学系30を走査する構成が望ましいが、勿論ステージを走査する構成であっても良い。また、照明用窓18、検出用窓35は、液体への光の入射の際、液表面の揺らぎにより照明、検出光がゆがむのを避けるためのものである。

【0051】この方法は、研磨された半導体ウエハ1が液中に保管されるためこの保管中に検査できるという効果がある。また、液を半導体ウエハの表面の平坦化膜の屈折率より大きくすることで、以下に説明する全反射の現象を積極的に用いることができる。平坦化膜が屈折率1.4602の石英系を用いた場合、液体としてたとえば、屈折率1.586のアニリン、屈折率1.473のグリセリン、屈折率1.4607の4塩化炭素、屈折率1.737のジョードメタン、屈折率1.516のセダ

油、屈折率1.48のパラフィン油、屈折率1.66のα-ブロモナフタレン、屈折率1.5012のベンゼン等が考えられる。図29に全反射が生じている際の異物あるいは傷の検出の様子を示す。屈折率 n_1 の媒質から屈折率 n_2 ($n_1 > n_2$) の媒質に光が入射する際、 $\sin \theta_2 = (n_1 / n_2) \cdot \sin \theta_1 > 1$ となる、 θ_1 が存在する。 θ_1 がこの値より大きい場合、全反射が起こる。この場合、平坦化のための酸化膜の内部にパターンが形成されている場合でも、内部に光が届かないため、内部パターンの影響をなくすることができ、検出感度を飛躍的に向上させることができる。表面に異物あるいは、欠陥が存在した場合、上記の条件が崩れ光が散乱するため、全くの暗い背景に対して、異物あるいは欠陥が光ることになる。

【0052】図30に図29に示す表面での反射率を示す。P偏光47及びS偏光48の時の値をそれぞれ示す。図31に、別の実施例を示す。この実施例は、照明窓18を介し光を半導体ウエハ1の表面の全面あるいは一部に照射し、検出窓35を介し照明した領域を2次元の検出器34上に結像レンズ31により結像させた構成である。本実施例も上記の全反射の条件を用いている。この全反射の条件を用いることにより下地パターンの影響を除けるため、検出の画素サイズを大きくでき、このような2次元センサ34を用いても広い領域を一度に検査できる。たとえば、1000×1000画素のCCDカメラを用いると7ミクロン画素で7mm×7mmの領域を検査できる。これは、傷あるいは、面あれのモニタとして十分な面積である。さらに、検査面積を広げたい場合には、画素サイズを大きくするか、ステップアンドリピートで、検査エリアを大きくしても良い。また、検査エリアを犠牲にして画素サイズを小さくし、検出感度を上げて良い。

【0053】次に、傷・異物等の欠陥検査装置240の処理手段241から得られる傷・異物等の欠陥検査データおよび完成されたテスト250の処理手段251から得られる半導体素子の電気的特性データに基づいて半導体ウエハ1の製造ライン400についての管理用コンピュータ250による生産管理について図32～図39を用いて説明する。図32は、本発明に係る半導体ウエハ1の製造ライン400についての管理用コンピュータ250による生産管理についての全体的な構成を示す図である。図7にも同様な構成を示している。半導体ウエハ1の製造ライン400は、代表的に、スパッタ等の金属成膜工程、レジストパターン形成工程（レジスト塗布工程、露光工程、および現像工程等からなる。）、およびエッチング工程（レジストパターン除去工程も含む）からなる配線パターン301を形成する配線パターン形成工程401と、配線パターン301上にCVD装置等によって絶縁膜303を形成する絶縁膜形成工程402と、該絶縁膜形成工程402で形成された絶縁膜303

の表面を平坦化するためにCMP装置200によって研磨して洗浄装置230によって洗浄する研磨工程403と、スパッタ等の金属成膜工程、レジストパターン形成工程（レジスト塗布工程、露光工程、および現像工程等からなる。）、およびエッチング工程（レジストパターン除去工程も含む）からなり、前記研磨工程で平坦化された絶縁膜303上に配線パターン301を形成する配線パターン形成工程404と、該配線パターン形成工程404で形成された配線パターン302上に絶縁膜や保護膜304をCVD装置等によって形成する絶縁膜形成工程405とから構成される。即ち、配線パターン形成工程401および配線パターン形成工程404においては、スパッタ装置、レジスト塗布装置、露光装置、エッチング装置等が用いられる。また絶縁膜形成工程402および絶縁膜形成工程405は、CVD装置等が用いられる。411、412、413（204）、414、415は、各工程に備えられた装置を制御する制御装置を示す。従って、制御装置411、412、413（204）、414、415からは、投入される半導体ウエハ1毎に対して成膜、エッチング、露光、研磨等の製造条件が得られる。傷・異物等の欠陥検査装置240は、半導体ウエハ1の製造ライン400における所望の工程（工程内でも良い。）401、403、404から421、422、423で示すようにサンプリングされた傷・異物等の欠陥を検査する必要のある半導体ウエハ1に対して傷・異物等の欠陥の検査が行なわれる。図7においては、傷・異物等の欠陥検査装置240は、CMP装置200によって研磨され、洗浄装置230によって洗浄された半導体ウエハ1の表面に対して傷・異物等の欠陥を検査することについて説明したが、図32においては、傷・異物等の欠陥検査装置240は、製造ライン400を構成する所望の装置（設備）から得られる半導体ウエハ1を全数またはロット単位または所定の枚数単位でサンプリングして、その半導体ウエハ1の表面に発生した傷・異物等の欠陥を検査する。またこの傷・異物等の欠陥検査装置240は、製造ライン400において、必要とする工程の間に設置しても良い。この場合傷・異物等の欠陥検査装置240の台数は、増加するが、定常的に半導体ウエハ1の表面に発生した傷・異物等の欠陥を検査することができる。

【0054】430は、動作試験が可能なほぼ完成した半導体素子に対して電気的な特性の検査を行なうテストである。431はテスト430における電気的な特性の検査処理を行なうコンピュータ等によって構成された処理手段である。従って、テスト430の処理手段431は、半導体ウエハ1毎における半導体素子（半導体チップ）の電気的な特性結果を得ることができる。管理用コンピュータ250は、傷・異物等の欠陥検査装置240の処理手段241、テスト430の処理手段431、製造装置の制御装置411、412、413（204）、

414、415とネットワーク409で接続されている。従って、管理用コンピュータ250は、テスト430の処理手段431から半導体ウエハ1毎における半導体素子（半導体チップ）の電気的な特性結果が得られ、半導体ウエハ単位での歩留まりを算出することができる。更に管理用コンピュータ250は、傷・異物等の欠陥検査装置240の処理手段241から製造工程毎の半導体ウエハ1毎の表面に発生した傷や異物について弁別して発生位置の座標も含めて得ることができる。即ち、製造工程毎に表面に発生した傷や異物を検出するためには、図33（a）に示すある製造工程に投入される前の半導体ウエハ1の表面に存在する傷や異物441と図33（b）に示す投入された後（上記ある製造工程で製造された後）の半導体ウエハ1の表面に存在する傷や異物441、442とを比較して、同じ位置座標に検出されたのは投入される前の1つ前の工程或いは全ての前工程において発生した傷や異物441と判定して消去し、異なる位置座標に新たに検出されたのはこのある製造工程によって発生した傷や異物442と判定する。これらの判定処理は、傷・異物等の欠陥検査装置240の処理手段241で行なっても良い。

【0055】即ち、管理用コンピュータ250は、傷・異物等の欠陥検査装置240の処理手段241から得られる製造工程毎の半導体ウエハ1毎の表面に発生した発生位置の座標も含めた異物の情報と、テスト430の処理手段431から得られる半導体ウエハ1毎における半導体素子（半導体チップ）の電気的な特性結果の情報とから、製造工程毎に、図34～図36に示すようなウエハ単位での異物の存在するチップ数に対する異物無チップと異物有チップとの各々にける歩留まりを算出することができる。図34～図36の各々は、ある製造工程において、所定の枚数の半導体ウエハに亘っての、ウエハ単位での異物の存在するチップ数における異物無チップの歩留まりと異物有チップの歩留まりとの関係を示したものである。図34に示す場合は、ウエハ単位において、異物の存在するチップ数（異物有チップ数）が増加するに従って異物有チップの歩留まり（1枚のウエハから得られる全チップ数に対する異物有チップの良品率：異物無チップは全て良品として取り扱う。）は低下し、異物の存在するチップ数（異物有チップ数）が増加しても異物無チップの歩留まり（1枚のウエハから得られる異物無チップの全数に対する異物無チップの良品率）は高い一定の値であることを示す。即ち、ある製造工程から、図34に示すデータが得られた場合、異物が正常に検出されていることがわかると共に、異物が主な不良原因と判定することができ、その結果を表示手段252に表示することもできる。

【0056】図35に示す場合は、ウエハ単位において、異物の存在するチップ数（異物有チップ数）が増加するに従って異物有チップの歩留まり（1枚のウエハから

ら得られる全チップ数に対する異物有チップの良品率：異物無チップは全て良品として取り扱う。）は低下し、異物の存在するチップ数（異物有チップ数）が増加するに従って異物無チップの歩留まり（1枚のウエハから得られる異物無チップの全数に対する異物無チップの良品率）も低下していることを示す。即ち、異物無チップの歩留まりも異物の存在するチップ数（異物有チップ数）に関係していることから、異物無チップ上に異物が存在しているのに係らず、検出できていないことを示す。従って、ある製造工程から、図35に示すデータが得られた場合、異物が正常に検出できていないことがわかると共に、異物が主な不良原因と判定することができ、その結果を表示手段252に表示することもできる。管理用コンピュータ250が図35に示す結果が得られたら、傷・異物等の欠陥検査装置240の処理手段241にフィードバックして、見落とし無く検査できるように感度調整などをする必要がある。或いは、さらに高感度の異物検査装置を用いる必要がある。具体的には、検査時間を長くする、または光あるいはSEM式の外観検査装置を用いる等の対策が考えられる。

【0057】図36に示す場合は、ウエハ単位において、異物の存在するチップ数（異物有チップ数）が増加するに従って異物有チップの歩留まりは低下し、異物の存在するチップ数（異物有チップ数）が増加しても異物無チップの歩留まりは異物有チップの歩留まりと同様に低くほぼ一定の値であることを示す。即ち、異物無チップの歩留まりも異物の存在するチップ数（異物有チップ数）に関係せずに、歩留まりを下げていることからして、歩留まりを下げている不良原因が異物以外（例えばプロセス要因）にもあることを示している。もし、異物有チップの歩留まりも異物の存在するチップ数（異物有チップ数）に関係せずに一定であれば、歩留まりを下げている不良原因が異物以外であることがわかる。従って、ある製造工程から、図36に示すデータが得られた場合、歩留まりを下げている不良原因が異物以外（例えばプロセス要因）にもあると判定することができ、その結果を表示手段252に表示することもできる。

【0058】また管理用コンピュータ250は、傷・異物等の欠陥検査装置240の処理手段241から得られる製造工程毎の半導体ウエハ毎の表面に発生した発生位置の座標も含めた異物の情報と、テスト430の処理手段431から得られる半導体ウエハ1毎における半導体素子（半導体チップ）の電気的な特性結果の情報とから、製造工程毎に、図37に示すようなロット単位での異物の存在するチップ数（異物有チップ数）の変化と異物無チップについて歩留まりの変化と異物有チップについての歩留まりの変化を算出することができる。異物有チップについての歩留まりは、本来異物有チップ数と相関関係があるはずである。即ち、異物有チップ数が減少すれば、異物有チップについての歩留まりは向上し、有

チップ数が増加すれば、異物有チップについての歩留まりは悪くなるはずである。他方、異物について確実に検査できている場合には、異物無チップについての歩留まりは、異物有チップ数と相関関係がないはずである。従って、異物について確実に検査できていると仮定した場合、異物無チップについての歩留まりが異物有チップ数と相関がとれない場合には、異物無チップについて歩留まりを下げている原因として異物以外（例えばプロセス要因）であることを判定することができる。

【0059】また管理用コンピュータ250は、傷・異物等の欠陥検査装置240の処理手段241から得られる製造工程毎の半導体ウエハ毎の表面に発生した発生位置の座標も含めた異物の情報と、テスト430の処理手段431から得られる半導体ウエハ1毎における半導体素子（半導体チップ）の電気的な特性結果の情報とから、製造工程毎に、図38に示すような半導体ウエハ単位または複数枚に亘る半導体ウエハでの1チップ内に存在する異物数とそのチップについての良品（良品としては完全良品とピット救済などで良品になるものがある。）、不良品の数との関係を算出することができる。当然、1チップ内に存在する異物数が増加すると、そのチップが不良品になる確率は高くなるはずである。即ち、1チップ内に存在する異物数が増加すると、本来は不良品になる確率＝（不良品のチップ数／良品のチップ数）が高くなるはずである。もし、この関係が成立する場合には、不良発生原因の主たるものが異物によるものと判定でき、もしこの関係が成立しない場合には、不良発生原因の主たるものが異物以外のプロセス要因であるものとして判定することができる。

【0060】また管理用コンピュータ250は、傷・異物等の欠陥検査装置240の処理手段241から得られる製造工程毎の半導体ウエハ毎の表面に発生した発生位置の座標も含めた異物の情報と、テスト430の処理手段431から得られる半導体ウエハ1毎における半導体素子（半導体チップ）の電気的な特性結果の情報とから、図39に示すように同一半導体ウエハについての製造工程順に、異物無チップの歩留まりと異物有チップの歩留まりとの推移を算出することができる。異物について確実に検査できていると仮定した場合、工程DおよびGにおいては、歩留まりを下げている原因の主が異物であると判定できるので、異物の発生を防止する対策を施せば良い。異物について確実に検査できていると仮定した場合、工程EおよびFにおいては、歩留まりを下げている原因が異物以外であると判定できると共に、異物検査をやめることもできる。これにより、経済的、かつ効率的に検査装置を使用することができる。以上異物について図33～図39を用いて説明したが、傷について適用することも可能であることは明らかである。また、管理用コンピュータ250には、製造装置の制御装置411、412、413（204）、414、

415から、少なくとも、ロット単位毎の製造条件（保守、清掃等に関する情報も含む）が入力されて、製造された半導体ウエハに対応させて検査データと一緒に記憶装置251に格納されている。従って、管理用コンピュータ250は、各製造工程における異物や傷等の発生原因を究明し、その結果を製造装置の制御装置411、412、413（204）、414、415にフィードバックすることができると共に表示手段252に表示などして出力することもできる。また、管理用コンピュータ250は、半導体素子としての歩留まりを低下させている原因が所定の製造工程におけるプロセス要因と判定した場合には、記憶装置251に格納された所定の製造工程における過去の製造条件の推移から調整すべき製造条件を選定してその結果を所定の製造工程を構成する製造装置の制御装置にフィードバックすることができると共に表示手段252に表示などして出力することもできる。各製造装置の制御装置411、412、413（204）、414、415は、管理用コンピュータ250からフィードバックされる情報に基いて、各製造装置の製造条件を制御することによって、半導体素子を高歩留まりで製造することが可能となる。

【0061】

【発明の効果】本発明によれば、半導体ウエハに対して研磨して平坦化する際、研磨の終了点を検出できるので、研磨の過剰・不足等の不良を防ぐことができ、その結果半導体素子を高歩留まりで、且つ高スループットで製造することができる効果を奏する。また本発明によれば、半導体ウエハに対して研磨して平坦化した際、平坦化時の傷、異物、面あれ等の欠陥を検査してその結果を研磨工程にフィードバックすることにより、不良を作り込むことを低減して、半導体素子を高歩留まりで製造することができる効果を奏する。また本発明によれば、半導体ウエハに対して研磨して平坦化する際、残膜量を実時間でモニタして、研磨レートの早い高速研磨と高精度な低速研磨とを切り換え制御が可能となり、その結果研磨による傷、異物、面あれ等の欠陥の発生を防止して半導体素子を高歩留まりで、且つ高スループットで製造することができる効果を奏する。また本発明によれば、洗浄工程の前後で異物の検査を可能とできるので、洗浄による異物除去のモニタを実現でき、歩留りの低下を未然に防ぐことができる。

【0062】また本発明によれば、傷や異物等の欠陥検査結果に基いて、不良発生原因を推定することが可能となり、その結果早期に不良発生原因を取り除くことが可能となり、半導体素子を高歩留まりで製造することができる効果を奏する。また本発明によれば、平坦化すべき被研磨材に対して化学的、且つ機械的な研磨を施した際発生する傷や異物等の欠陥および面荒れを低減して半導体装置（半導体素子）を高歩留まりで製造することができる効果を奏する。また本発明によれば、化学的、且つ

機械的な研磨を用いて半導体基板上に素子分離構造を欠陥を生じることなく形成することができる効果を奏する。また本発明によれば、化学的、且つ機械的な研磨を用いて基板上にエッチングが難しい金属材料で配線パターンを欠陥を生じることなく形成することができる効果を奏する。

【0063】また本発明によれば、不良の発生原因が傷や異物等の欠陥によるものであるか否かについて究明できるようにしてその対策を施すことができる効果を奏する。また本発明によれば、欠陥検査工程またはその手段における欠陥検査の信頼度を向上して高歩留まりで半導体装置を製造することができる効果を奏する。

【図面の簡単な説明】

【図1】本発明に係る半導体装置（半導体素子）を製造するための半導体ウエハの断面構造を示す図である。

【図2】本発明に係る絶縁膜をCMPを施した際発生した傷がその上に配線パターンを形成した際短絡が生じることを説明するための断面図である。

【図3】本発明に係るダマシと称する手法によって基板上に配線パターンを形成する方法を説明するための各工程を示す断面図である。

【図4】本発明に係るダマシと称する手法によってCMPを施した際発生した傷が配線を切断する可能性があることを説明するための研磨面を示す斜視図である。

【図5】本発明に係る半導体基板上に素子分離構造を形成する方法を説明するための各工程を示す断面図である。

【図6】本発明に係る半導体基板上に素子分離構造を形成するためにCMPを施した際発生した傷が半導体基板に入り込んで能動素子機能を失うことを説明するための図である。

【図7】本発明に係るCMP工程における管理システムを示す構成図である。

【図8】本発明に係るCMP装置と残膜厚検出装置との概略構成を示す図である。

【図9】図8に示すCMP装置を示す斜視図である。

【図10】図8に示す残膜厚検出ヘッドの第1の実施例を示す構成図である。

【図11】図10に示す検出器によって検出される分光強度分布の信号波形を示した図である。

【図12】図11に示す信号波形の横軸入を $1/\lambda$ に変換した信号波形を示す図である。

【図13】図8に示す残膜厚検出装置における検出原理を示す図である。

【図14】図10に示す検出器によって検出される分光強度分布の特征的ピークの波長の変動から被研磨材（被平坦化膜）の残膜厚を測定することを説明するための図である。

【図15】図8に示す残膜厚検出ヘッドの第2の実施例を示す構成図である。

【図16】図8に示す残膜厚検出ヘッドの第3の実施例を示す構成図である。

【図17】図8に示す残膜厚検出ヘッドの第4の実施例を示す構成図である。

【図18】図17に示す第4の実施例において検出される回折像の強度分布を示す図である。

【図19】図17に示す第4の実施例において検出される回折像の強度分布に基づく信号波形を示す図である。

【図20】残膜厚測定のための他の実施例を示す構成図である。

【図21】図20に示す検出器で検出される干渉縞とその信号波形を示す図である。

【図22】残膜厚測定のための更に他の実施例を示す構成図である。

【図23】本発明に係る研磨面の傷や異物等の欠陥を検査する傷・異物等の欠陥検査装置の一実施例を示す構成図である。

【図24】図23に示す装置において研磨面に発生した面荒れと異物とによって得られる信号から弁別処理して検出するための説明図である。

【図25】図23に示す装置において研磨面に発生した傷と異物とを弁別処理することを説明するための図である。

【図26】図23に示す装置において研磨面に発生した傷、異物に対して複数方向から照明光を斜方照射する場合を模式的に示した図である。

【図27】図23に示す装置において全方向から照明する手法を示した構成図である。

【図28】本発明に係る液中において研磨面の傷や異物等の欠陥を検査する傷・異物等の欠陥検査装置の一実施例を示す概略構成図である。

【図29】図28に示す装置において全反射が生じている際の異物あるいは傷の検出様子を示す図である。

【図30】図29に示すP偏光照明光とS偏光照明光との照射角度によって表面での反射率を示す図である。

【図31】図28と異なる実施例を示す概略構成図である。

【図32】本発明に係る半導体装置の製造ラインについて管理する管理システムの一実施例を示す構成図である。

【図33】所定の製造装置（所定の製造工程）によって発生した異物を検出する原理を説明するための図である。

【図34】所定の製造工程において、ウエハ単位における異物の存在するチップ数に対する異物無チップの歩留まりと異物有チップの歩留まりとの複数のウエハに亘っての分布の第1の場合を示す図である。

【図35】所定の製造工程において、ウエハ単位における異物の存在するチップ数に対する異物無チップの歩留まりと異物有チップの歩留まりとの複数のウエハに亘っての分布の第2の場合を示す図である。

ての分布の第2の場合を示す図である。

【図36】所定の製造工程において、ウエハ単位における異物の存在するチップ数に対する異物無チップの歩留まりと異物有チップの歩留まりとの複数のウエハに亘っての分布の第3の場合を示す図である。

【図37】所定の製造工程において、ウエハ単位における異物の存在するチップ数と異物無チップの歩留まりと異物有チップの歩留まりとの関係をロット毎に算出した結果を示す図である。

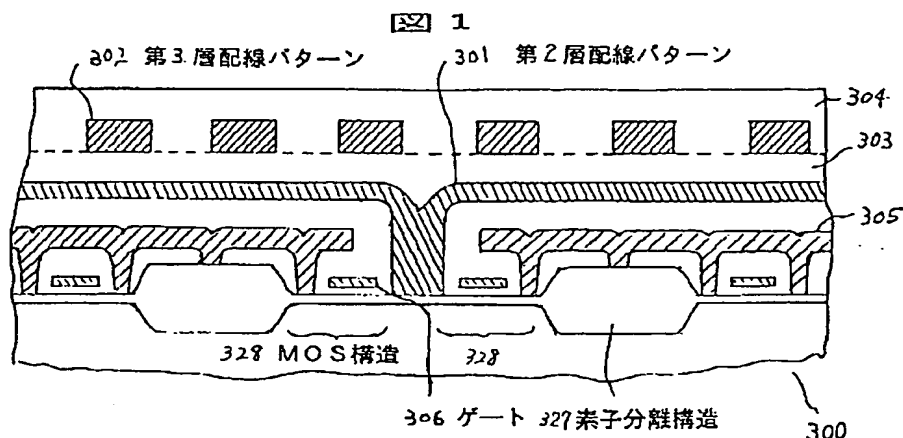
【図38】所定の製造工程において、チップ内異物数とこのチップが良品および不良品となるチップ数との関係を示した図である。

【図39】製造工程順に異物無チップの歩留まりと異物有チップの歩留まりとの関係を示した図である。

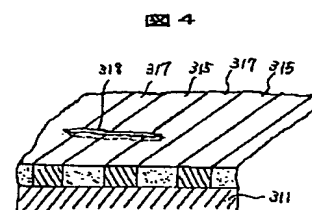
【符号の説明】

1…半導体ウエハ、3…槽、5…洗浄槽、10…照明光学系、30…検出光学系、34…検出器、200…CMP装置、201…研磨定盤、202…研磨ヘッド、204…制御装置、210…残膜厚検出装置、211…残膜厚検出ヘッド、212、221、241…処理手段、220…傷・異物等の欠陥検査装置、230…洗浄装置、240…傷・異物等の欠陥検査装置、250…管理用コンピュータ、301…第2層配線パターン、302…第3層配線パターン、303…層間絶縁膜、311…基板、315…絶縁膜パターン、317…配線パターン、327…素子分離構造、328…MOS構造（能動素子）、400…製造ライン、401、404…配線パターン形成工程、402、405…絶縁膜形成工程、403…研磨工程、430…テスト

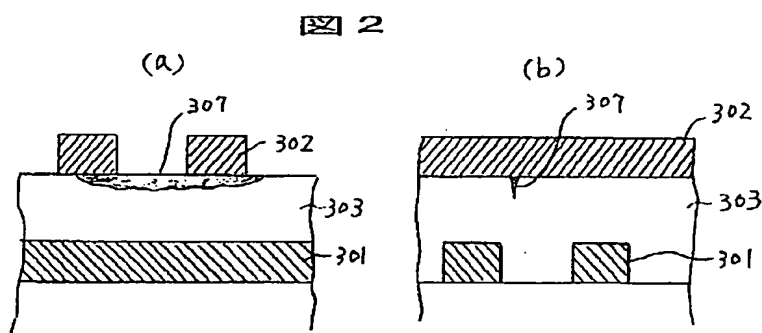
【図1】



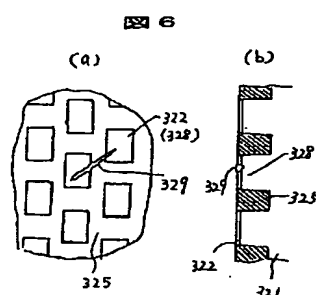
【図4】



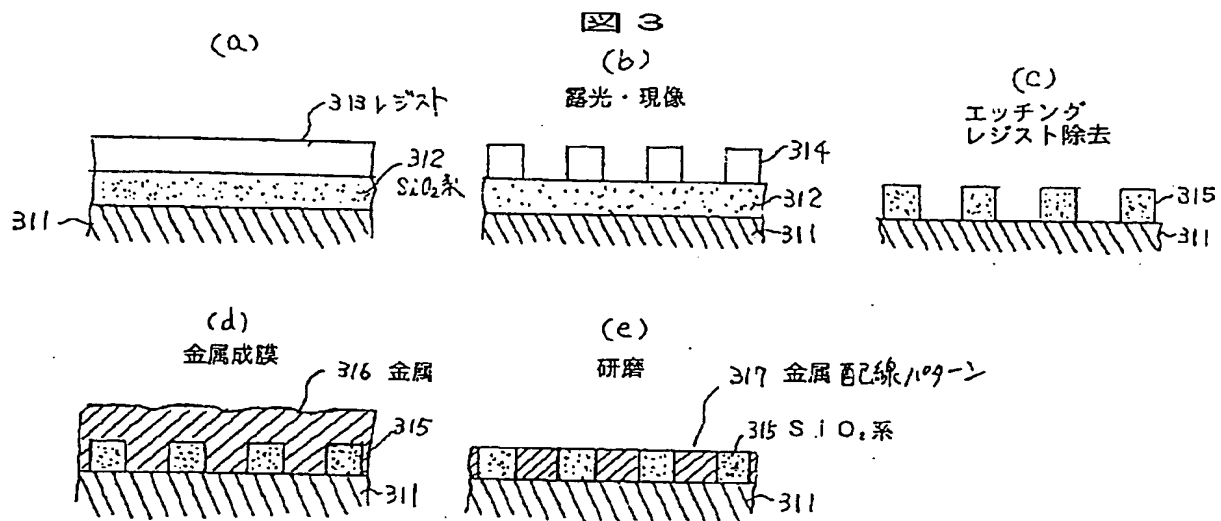
【図2】



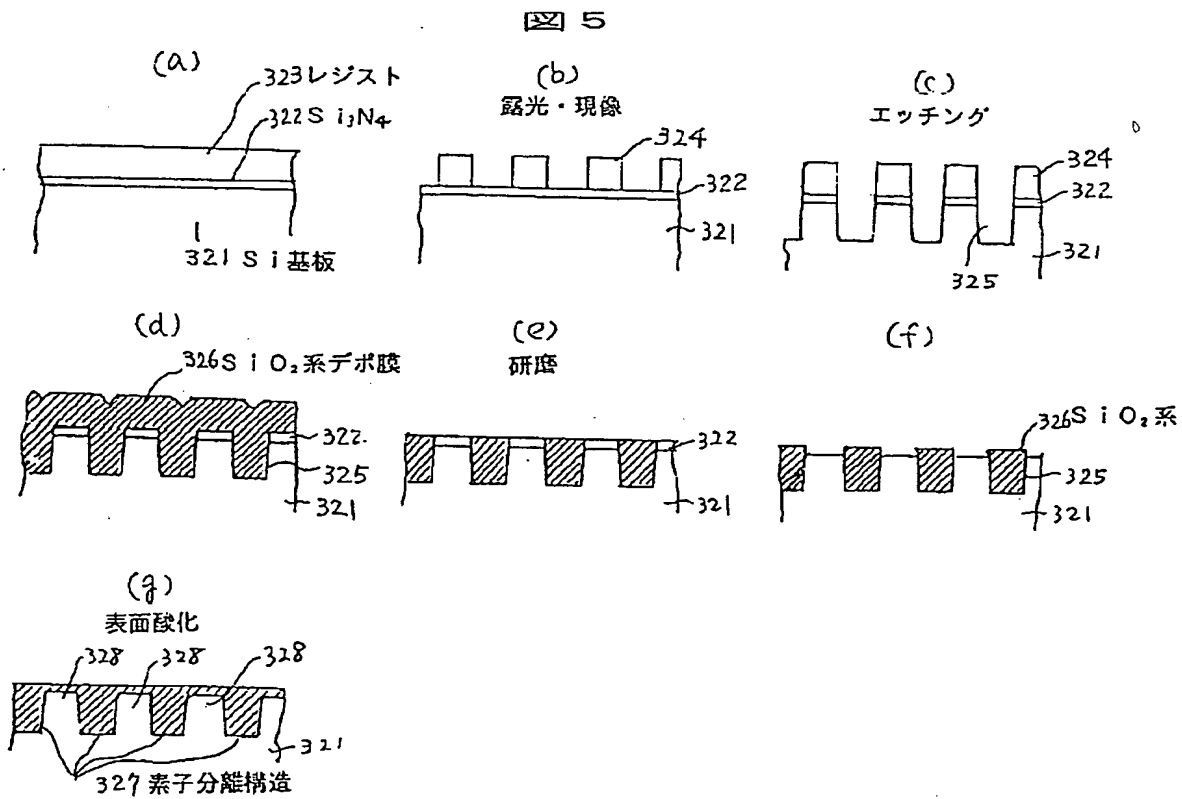
【図6】



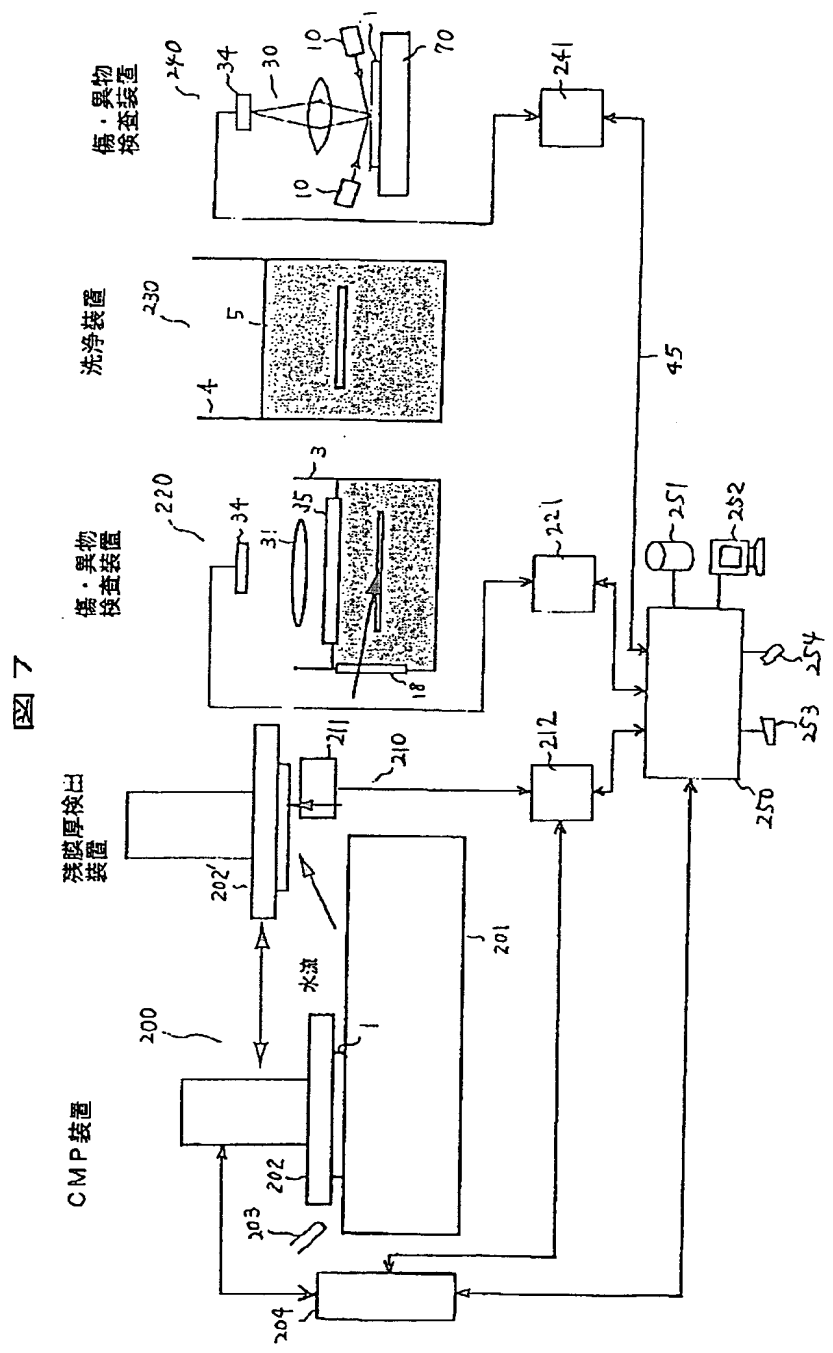
【図3】



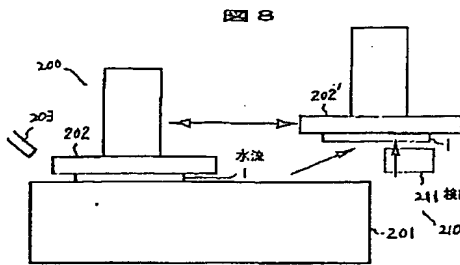
【図5】



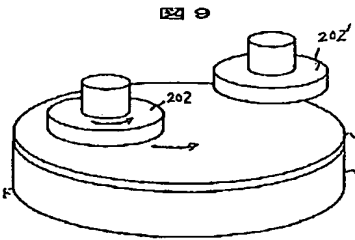
【図7】



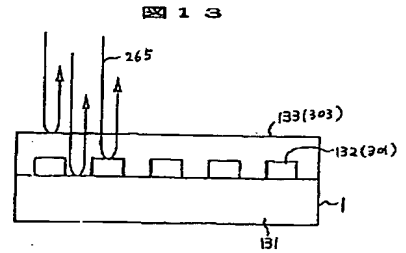
【図8】



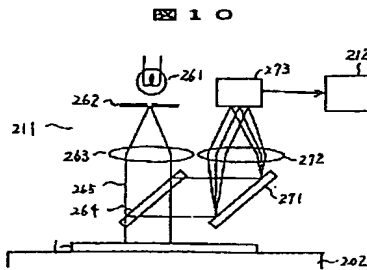
【図9】



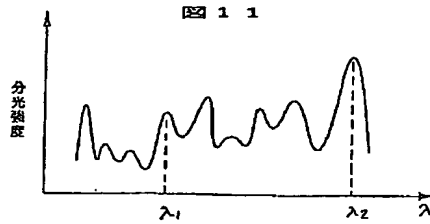
【図13】



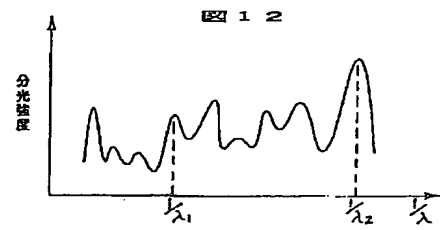
【図10】



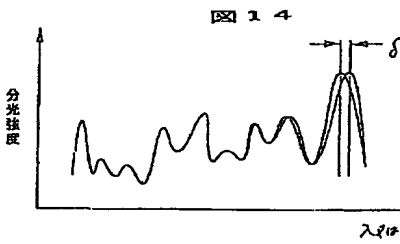
【図11】



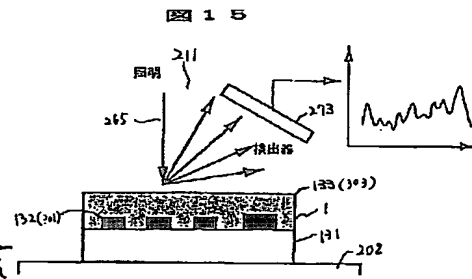
【図12】



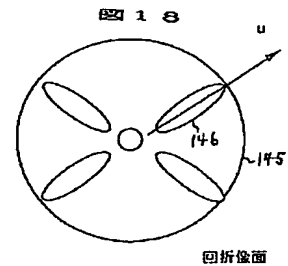
【図14】



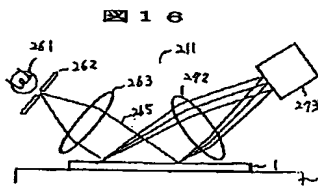
【図15】



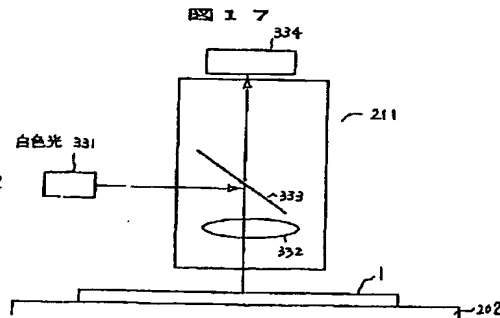
【図18】



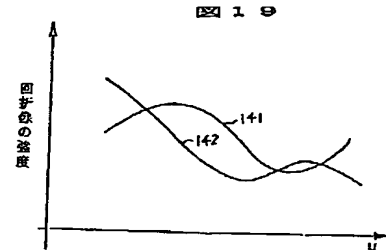
【図16】



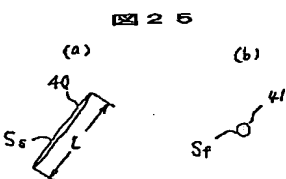
【図17】



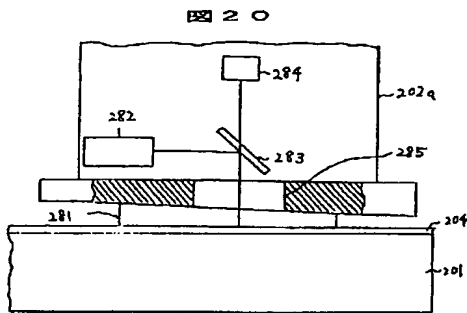
【図19】



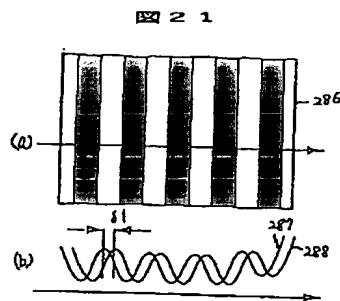
【図25】



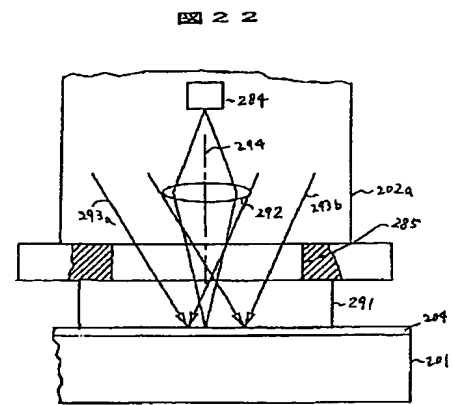
【図20】



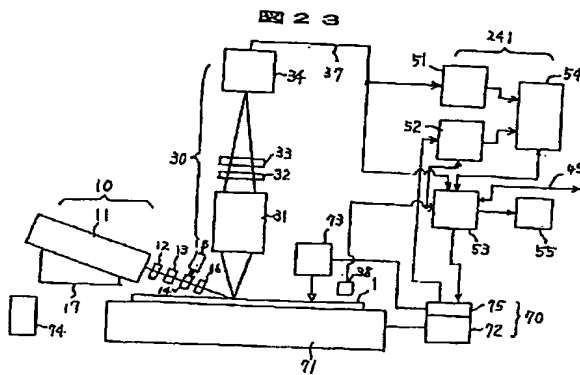
【図21】



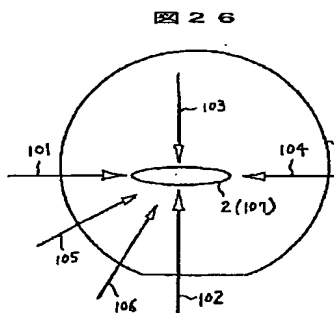
【図22】



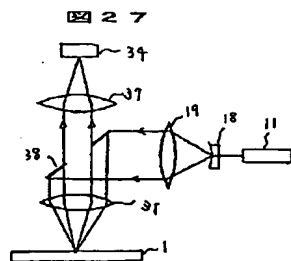
【図23】



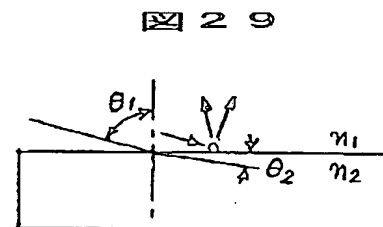
【図26】



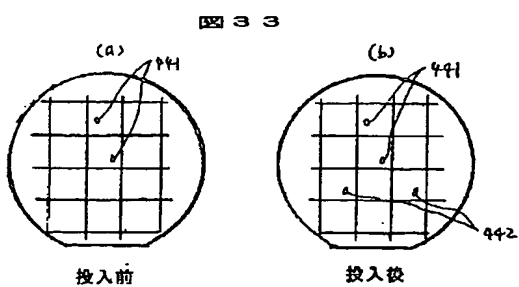
【図27】



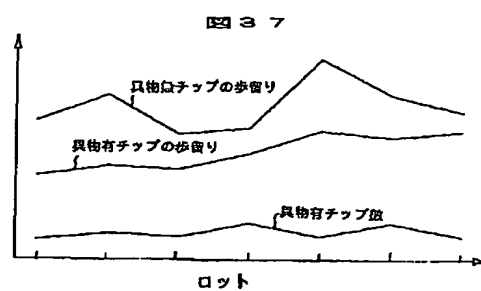
【図29】



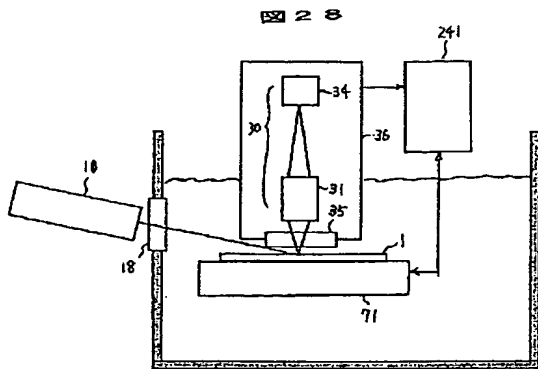
【図33】



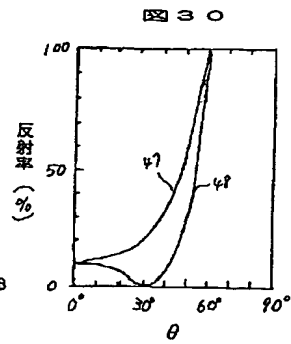
【図37】



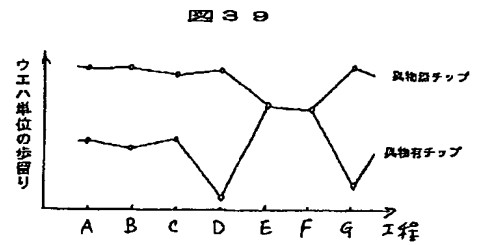
【図28】



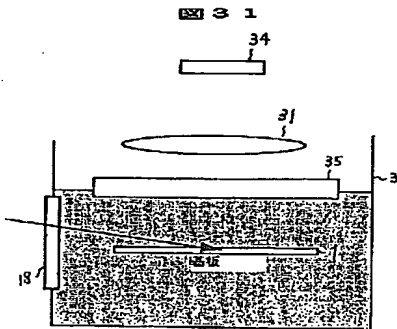
【図30】



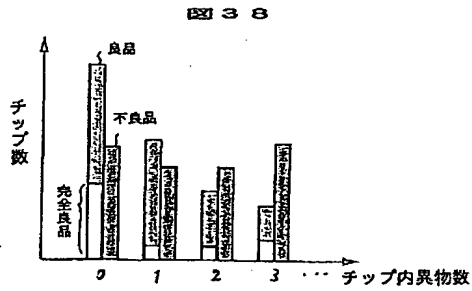
【図39】



【図31】

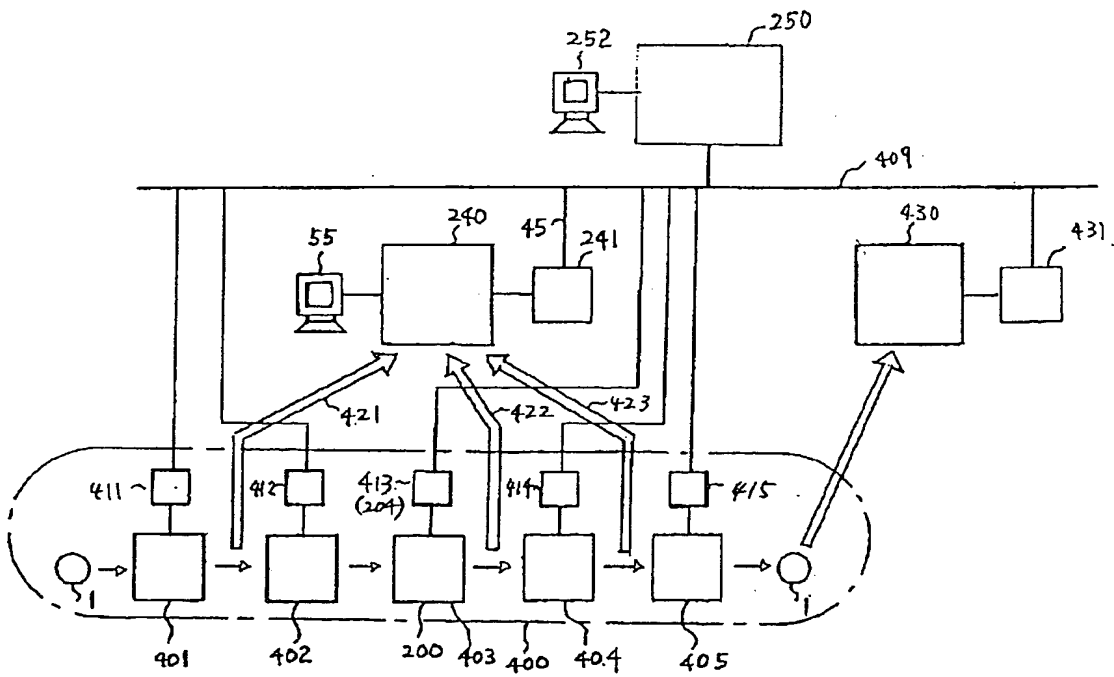


【図38】



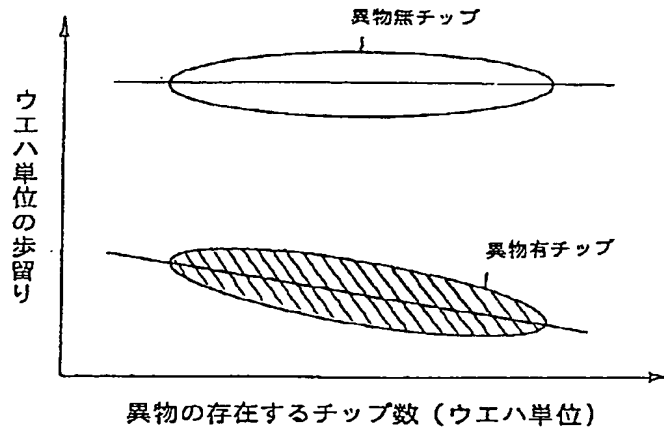
【図32】

図32



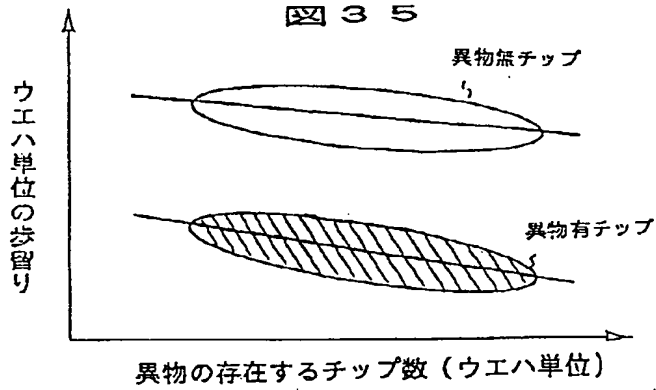
【図34】

図34



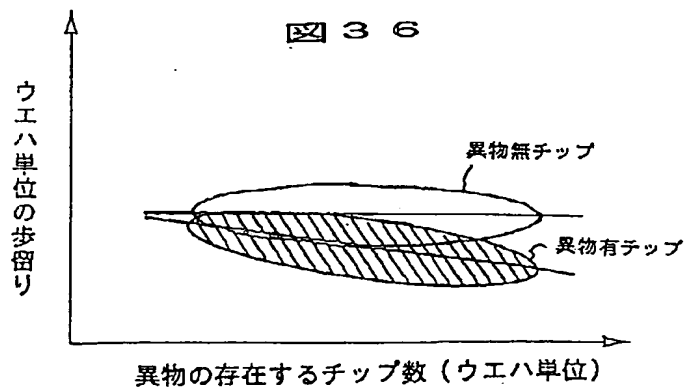
【図35】

図35



【図36】

図36



フロントページの続き

(51) Int. Cl. 6

識別記号

H 0 1 L 21/3205

F I

H 0 1 L 21/88

K

(72) 発明者 二宮 隆典
神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所生産技術研究所内

(72) 発明者 芹澤 正芳
神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所生産技術研究所内

(72) 発明者 高原 洋一
神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所生産技術研究所内

(72) 発明者 木村 剛
東京都青梅市今井2326番地株式会社日立製
作所デバイス開発センタ内

(72) 発明者 三谷 真一郎
東京都青梅市今井2326番地株式会社日立製
作所デバイス開発センタ内

(72) 発明者 田辺 義和
東京都青梅市今井2326番地株式会社日立製
作所デバイス開発センタ内